

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-313054

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	C
H 0 1 L 21/768		H 0 1 L 21/90	
21/28	3 0 1	21/28	3 0 1 R

審査請求 未請求 請求項の数53 O L 外国語出願 (全 75 頁)

(21) 出願番号 特願平10-122624

(22) 出願日 平成10年(1998) 3月27日

(31) 優先権主張番号 0 8 / 8 2 5 3 6 0

(32) 優先日 1997年 3月28日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390040660  
アプライド マテリアルズ インコーポレ  
イテッド  
APPLIED MATERIALS, I  
NCORPORATED  
アメリカ合衆国 カリフォルニア州  
95064 サンタ クララ パウアーズ ア  
ベニュー 3050

(72) 発明者 マーヴィン リャオ  
シンガポール, 799018 ジャラン ウッ  
ドブリッジ 85

(74) 代理人 弁理士 長谷川 芳樹 (外 4 名)

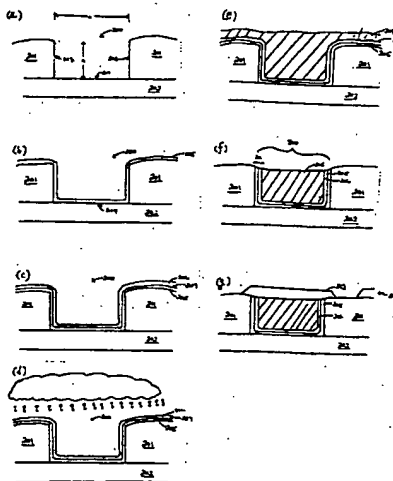
最終頁に続く

(54) 【発明の名称】 集積回路用の相互結合構造

(57) 【要約】

【課題】 集積回路内の素子の結合を可能にするために形成される集積回路内における構造の改良。

【解決手段】 構造は、導電面204から、その導電面204の上に延在しているチャネル200内で延びる。構造は耐熱金属の層205、金属窒化物の層206、及び金属の層212を含む。耐熱金属の層を、導電面とチャネルの内壁に堆積させる。金属窒化物の層を、耐熱金属の層の上に形成する。金属窒化物の層は、耐熱金属の層から延在する130オングストローム未満の厚さを持つ。金属の層を、金属窒化物の層の上に堆積させる。



## 【特許請求の範囲】

【請求項1】 導電面の上に延びている内壁を有するチャンネルを通して前記導電面から延びる、集積回路内の構造であって、前記導電面上及び前記チャンネルの前記内壁にある耐熱金属の層と、前記耐熱金属の前記層にある金属窒化物の層とを備え、前記金属窒化物の前記層は、前記耐熱金属の前記層からの厚さが130オングストローム未満である構造。

【請求項2】 前記金属窒化物の前記層は25～75オングストロームの範囲の厚さを有する、請求項1に記載の構造。

【請求項3】 前記耐熱金属の前記層と前記金属窒化物の前記層の、前記チャンネルの前記内壁からの合計の厚さは、200オングストローム未満である、請求項1に記載の構造。

【請求項4】 前記構造が3000オングストローム以下の幅を有する、請求項1に記載の構造。

【請求項5】 前記構造の高さ対前記構造の幅の比が3、33以上である、請求項1に記載の構造。

【請求項6】 前記耐熱金属の前記層は、前記チャンネルの前記内壁からの厚さが25～100オングストロームの範囲にある、請求項1に記載の構造。

【請求項7】 前記耐熱金属は、チタン、タンタリウム、コバルト及びモリブデンから成るグループから選択された金属である、請求項1に記載の構造。

【請求項8】 前記金属窒化物は600 $\mu$ m未満の抵抗率を有する、請求項1に記載の構造。

【請求項9】 前記金属窒化物は、チタン、ジルコニウム、ハフニウム、タンタリウム、モリブデン及びタングステンから成るグループから選択された金属を含む、請求項1に記載の構造。

【請求項10】 前記金属窒化物の前記層にある金属の層を更に含む、請求項1に記載の構造。

【請求項11】 前記金属窒化物は、前記金属に対して付着性のあるものである、請求項10に記載の構造。

【請求項12】 前記金属がタングステンである、請求項10に記載の構造。

【請求項13】 前記構造は3、0 $\Omega$ 以下の抵抗を有する、請求項10に記載の構造。

【請求項14】 前記チャンネルは3、33以上のアスペクト比を有する、請求項13に記載の構造。

【請求項15】 導電面から延びている内壁を有するチャンネルによって囲まれ、前記導電面から延びる、集積回路内の構造であって、前記導電面上及び前記チャンネルの前記内壁にある約25～100オングストロームの範囲の厚さを有する耐熱金属の層と、前記耐熱金属の前記層にある金属窒化物の層とを備え、前記金属窒化物の前記層は、前記耐熱金属の前記層

からの厚さが130オングストローム未満である構造。

【請求項16】 前記金属窒化物の前記層は25～75オングストロームの範囲の厚さを有する、請求項15に記載の構造。

【請求項17】 前記耐熱金属の前記層と前記金属窒化物の前記層の、前記チャンネルの前記内壁からの合計の厚さは、175オングストローム未満である、請求項15に記載の構造。

【請求項18】 前記チャンネルは3、33以上のアスペクト比を有する、請求項15に記載の構造。

【請求項19】 前記耐熱金属は、チタン、タンタリウム、コバルト及びモリブデンから成るグループから選択された金属である、請求項15に記載の構造。

【請求項20】 前記金属窒化物は、チタン、ジルコニウム、ハフニウム、タンタリウム、モリブデン及びタングステンから成るグループから選択された金属を含む、請求項15に記載の構造。

【請求項21】 導電面の上に延びている内壁を有するチャンネルを通して前記導電面から延びる集積回路内の構造を形成するための方法であって、(a)前記導電面上及び前記チャンネルの前記内壁に耐熱金属の層を堆積させるステップと、(b)前記耐熱金属の前記層上に金属窒化物の層を形成するステップとを有し、前記金属窒化物の前記層は、前記耐熱金属の前記層からの厚さが130オングストローム未満である、方法。

【請求項22】 前記金属窒化物の前記層は25～75オングストロームの範囲の厚さを有する、請求項21に記載の方法。

【請求項23】 前記耐熱金属の前記層と前記金属窒化物の前記層の、前記チャンネルの前記内壁からの合計の厚さは、200オングストローム未満である、請求項21に記載の方法。

【請求項24】 前記ステップ(b)が、前記耐熱金属の前記層上に前記金属窒化物を堆積させるステップと、前記金属窒化物をプラズマアニーリングするステップとを含む、請求項21に記載の方法。

【請求項25】 前記プラズマアニーリングのステップが、前記金属窒化物を、イオンを含む環境に曝すステップと、

前記金属窒化物の前記層を電氣的にバイアスして、前記環境からの前記イオンを前記金属窒化物に衝突させるステップとを含む、請求項24に記載の方法。

【請求項26】 前記金属窒化物を、イオンを含む前記環境に曝す前記ステップが、ガスを提供するステップと、前記構造が形成されるウェーハの第1サイドの第1電極に第1RF信号を提供して、前記ガスにエネルギーを提供するステップとを含む、請求項25に記載の方法。

【請求項27】 前記ガスが、窒素、水素、アルゴン、ヘリウム及びアンモニアから成るグループから選択された少なくとも一つのガスを含む、請求項26に記載の方法。

【請求項28】 前記金属窒化物は、チタン、タンタリウム、タングステン、ハフニウム、モリブデン及びジルコニウムから成るグループから選択された少なくとも一つの材料を含む、請求項26の方法。

【請求項29】 前記ガスは希ガスを含む、請求項26に記載の方法。

【請求項30】 前記金属窒化物を堆積させる前記ステップとプラズマアニーリングの前記ステップとは共に、単一チャンバ内で、前記金属窒化物を堆積させる前記ステップの開始とプラズマアニーリングの前記ステップの完了の間、前記構造が形成されるウェーハを前記チャンバから移動することなく実行される、請求項24に記載の方法。

【請求項31】 前記金属窒化物を堆積させる前記ステップが化学的気相堆積法を用いて実行される、請求項24に記載の方法。

【請求項32】 前記プラズマアニーリングのステップが、

前記金属窒化物の第1プラズマアニーリングを実行するステップと、

前記第1プラズマアニーリングを実行した後、前記金属窒化物の第2プラズマアニーリングを実行するステップとを含む、請求項24に記載の方法。

【請求項33】 前記第1プラズマアニーリングを実行する前記ステップが、

前記金属窒化物を、イオンを含む第1環境に曝すステップと、

前記金属窒化物を電氣的にバイアスして、前記第1環境からの前記イオンを前記金属窒化物に衝突させるステップとを含む、請求項32に記載の方法。

【請求項34】 前記第2プラズマアニーリングを実行する前記ステップが、

前記金属窒化物を、イオンを含む第2環境に曝すステップと、

前記金属窒化物を電氣的にバイアスして、前記第2環境からの前記イオンを前記金属窒化物の前記層に衝突させるステップとを含む、請求項33に記載の方法。

【請求項35】 前記金属窒化物を、イオンを含む第1環境に曝す前記ステップが、

第1ガスを提供するステップと、

前記第1ガスにエネルギーを提供して第1プラズマを生させるステップとを含む、

前記金属窒化物を、イオンを含む第2環境に曝す前記ステップが、

第2ガスを提供するステップと、

前記第2ガスにエネルギーを提供して第2プラズマを生

生させるステップとを含む、請求項34に記載の方法。

【請求項36】 前記第1ガスは、窒素、水素、アルゴン、ヘリウム及びアンモニアから成るグループから選択された少なくとも一つのガスを含む、請求項35に記載の方法。

【請求項37】 前記第2ガスは、窒素、ヘリウム、ネオン及びアルゴンから成るグループから選択された少なくとも一つのガスを含む、請求項35に記載の方法。

【請求項38】 前記金属窒化物を堆積させる前記ステップが化学的気相堆積法を用いて実行される、請求項32に記載の方法。

【請求項39】 前記金属窒化物を堆積させる前記ステップとプラズマアニーリングの前記ステップとは共に、単一チャンバ内で、前記金属窒化物を堆積させる前記ステップの開始とプラズマアニーリングの前記ステップの完了の間、前記構造が形成されるウェーハを前記チャンバから移動することなく実行される、請求項32に記載の方法。

【請求項40】 前記チャネルが3000オングストローム以下の幅を有する、請求項21に記載の方法。

【請求項41】 前記チャネルが3.33以上のアスペクト比を有する、請求項21に記載の方法。

【請求項42】 前記耐熱金属を前記ステップ(a)で物理的気相堆積法によって堆積させる、請求項21に記載の方法。

【請求項43】 前記耐熱金属を前記ステップ(a)で化学的気相堆積法によって堆積させる、請求項21に記載の方法。

【請求項44】 前記耐熱金属は、チタン、タンタリウム、コバルト及びモリブデンから成るグループから選択された金属である、請求項43に記載の方法。

【請求項45】 前記ステップ(b)に続いて、(c)前記金属窒化物の前記層上に金属の層を堆積させるステップを更に含む、請求項21に記載の方法。

【請求項46】 前記金属がタングステンである、請求項45に記載の方法。

【請求項47】 前記ステップ(c)に続いて、(d)前記耐熱金属の前記層、前記金属窒化物の前記層及び前記金属の前記層をエッチングして、前記耐熱金属の前記層、前記金属窒化物の前記層及び前記金属の前記層の、前記チャネルの外側にある部分を分解するステップを更に含む、請求項46に記載の方法。

【請求項48】 導電面の上に延びている内壁を有するチャネルで囲まれたバリア層を前記導電面上に形成するための方法であって、(a)前記導電面上及び前記チャネルの前記内壁上に耐熱金属の層を約25~100オングストロームの範囲の厚さに堆積させるステップと、(b)前記耐熱金属の前記層上に金属窒化物の層を堆積させるステップと、(c)前記金属窒化物の前記層をプラズマアニーリングするステップとを有し、前記金属窒

化物の前記層は、前記ステップ(c)の完了後に、前記耐熱金属の前記層から延びる130オングストローム未満の厚さを有する、方法。

【請求項49】 前記ステップ(c)が、ガスを提供するステップと、前記ガスにエネルギーを提供して、イオンを含む環境を発生させるステップと、前記金属窒化物を電気的にバイアスして、前記環境からの前記イオンを前記金属窒化物に衝突させるステップとを含む、請求項48に記載の方法。

【請求項50】 前記金属窒化物は、チタン、タンタリウム、タングステン、ハフニウム、モリブデン及びジルコニウムから成るグループから選択された少なくとも一つの材料を含む、請求項49の方法。

【請求項51】 前記ステップ(c)が、前記金属窒化物の第1プラズマアニーリングを実行するステップと、前記第1プラズマアニーリングを実行した後、前記金属窒化物の第2プラズマアニーリングを実行するステップとを含む、請求項48に記載の方法。

【請求項52】 前記チャネルが3000オングストローム以下の幅を有する、請求項48に記載の方法。

【請求項53】 前記チャネルが3.33以上のアスペクト比を有する、請求項52に記載の方法。

【発明の詳細な説明】

【0001】  
【発明の属する技術分野】本発明は集積回路を製造する分野に関する。

【0002】  
【従来の技術】集積回路は、トランジスタ等の回路素子を基板内に形成した後他の回路素子と連結させる、一連のプロセスステップによって製造される。回路素子はメタライゼーションプロセスによって相互に連結される。すべての必要な連結に備えるために、多重メタライゼーションステップを使用して、単一の集積回路内に電気的相互結合のいくつもの層を作り出す。

【0003】集積回路の多重金属層に対するニーズは、集積回路の寸法縮小の進展に伴って発生した。寸法の縮小は、より小さい表面積に、より多くの回路素子を集積させることを可能とする。回路素子数の増加と表面積の減少の結果、相互結合を多数の集積回路層に分散しなければならない。

【0004】図1は、多重金属層107、109を含む集積回路100の一部の断面図を示す。基板105に形成されたソース102とドレイン103を有するトランジスタが示されている。トランジスタのゲート104は、基板105からゲートを分離するゲート酸化物110上に堆積、パターニングされる。二酸化珪素の絶縁材料106がゲート104、基板105、及びフィールド酸化物111の上面に堆積されている。絶縁材料106はゲート104と基板105の領域を第1金属層107

から隔離している。絶縁材料108の別の層は第1金属層107を第2金属層109から隔離している。

【0005】相互結合構造は、集積回路100内に導電結合領域をもたらす。例えば、相互結合構造101<sub>1</sub>～101<sub>5</sub>はソース102、ゲート104、及びドレイン103をそれぞれ第1金属層に連結し、相互結合構造101<sub>4</sub>と101<sub>5</sub>は第1金属層107のメタルラインを第2金属層109に連結する。各相互結合構造101<sub>1</sub>～101<sub>5</sub>が形成されるのは、材料の絶縁層を通してエッチングされて、ソース102、ドレイン103、ゲート104、金属層107等の、下地導電領域を露出させるチャネル内である。

【0006】集積回路の相互結合構造が効果的に機能するには、互いに連結する上下に重なる表面間に良好なオームコンタクトを設けなければならない。さもないと、集積回路内の回路素子間の電流が大幅に制限される。その結果、集積回路の速度は大幅に削減される。最悪の場合、集積回路が動作不能になる場合もある。相互結合構造が0.3μm幅のコンタクトホール又はビアホール当たり約3Ω以下の抵抗を持つことは許容されるが、3Ωを超える抵抗値を持つ相互結合構造は一般に許容されない。

【0007】相互結合構造の形成では、材料の絶縁層に形成されたチャネル内の導電バリア層の上面に金属コンポーネントを重ねることができる。チャネルはしばしばコンタクトホール又はビアホールと称される。バリア層は、チャネルの内壁とチャネルによって囲まれた下地面とに形成される。従来のバリア層の厚さは、400～500オングストロームの範囲である。

【0008】バリア層は金属コンポーネント内の金属の拡散を抑制すると共に、相互結合構造の下にくる表面への金属の堆積時に生じる副産物の拡散を抑制する。上記の拡散が阻止されないと、相互結合構造の下地領域に抵抗性の高いポケットが形成される。拡散の結果、形成される集積回路は不良品になるかもしれない。従来は厚さ400～500オングストロームのバリア層を使用しているが、その理由は、上記の厚さが、下地面への相互結合構造の金属の望ましくない拡散の抑制に有効であると判明しているからである。

【0009】バリア層が形成されたならば、相互結合構造に使用される金属材料を堆積させてバリア層の上面を被覆する。理想としては、その金属が、バリア層のあるチャネルを充填する。次に、集積回路の上面が等方的にエッチングされ、集積回路の上面に堆積した金属とバリア層材料とをすべて取り除く。

【0010】相互結合構造のセットが絶縁材料の層内に形成されると、絶縁材料の上面に金属層を堆積させることができる。金属は次にパターニングされて、金属層内にメタルラインのセットを形成する。これらのメタルラインが、相互結合構造のセットを電気的に相互に結合さ

せる。

【0011】集積回路の寸法の削減は、許容可能な抵抗値を持つ相互結合構造の製作に難題をもたらした。集積回路のゲート長が縮小されると、集積回路のコンタクトホール又はバイアホールとして働くチャネルの幅も縮小される。しかしながら、チャネルの高さは通常、縮小されない。これは、集積回路の寸法が削減されたときに、チャネル高さに対するチャネル幅の比を増大させる。この比はアスペクト比と呼ばれている。

【0012】上記のチャネル形状の変化の結果、相互結合構造は狭くなるが、寸法の大きな集積回路の場合とほぼ同じ高さを保つ。従来、バリア層の厚さは、寸法を削減した集積回路の場合でも、400～500オングストロームのままであった。他方、相互結合構造金属コンポーネントの幅は、チャネルのアスペクト比の増加を考慮して削減された。

【0013】アスペクト比の増加に対応して金属コンポーネントの幅を狭くすると、金属コンポーネントの抵抗を増加させる。更に、バリア層の上に形状に従従させて金属を堆積させる難しさは、小さくなったチャネル開口部と厚いバリア層の組合せによって、寸法の小さい集積回路ほど大きくなる。これは、適合性の乏しい金属が相互結合構造の抵抗を更に増加させるので、重大である。

【0014】集積回路を製造するコストを削減して集積回路の速度を向上させる絶えざる要望が、ゲート長0.25 $\mu$ m以下の集積回路に対する需要を生んでいる。上記の集積回路では、コンタクトホールとバイアホールの幅は、約300オングストローム以下であらう。上記のコンタクトホールとバイアホールに従来の400～500オングストロームのバリア層を実施すれば、幅がきわめて狭く、かつ形状追従性の乏しい相互結合構造の金属コンポーネントになる。実際、幅1000オングストロームのチャネル内に500オングストロームのバリア層を形成すると、金属コンポーネントを収容するために利用可能な相互結合構造の容積は存在しなくなるだろう。

【0015】ゲート長0.25 $\mu$ m以下の集積回路において従来の400～500オングストロームのバリア層を使って形成される相互結合構造の抵抗値は、4～5 $\Omega$ の範囲であることが分かっている。このような抵抗値は許容できない。それらの値は、寸法削減技術によって提供される速度の向上を無効にすると共に、寸法を削減した集積回路の信頼性を低下させる。

【0016】

【発明が解決しようとする課題】従って、相互結合構造の抵抗が許容できないほど高くならないように、アスペクト比の増加したコンタクトホールとバイアホールに使用できる薄いバリア層を持つ相互結合構造の形成を可能とすることが望ましい。

【0017】

【課題を解決するための手段】本発明によって形成される相互結合構造は、許容できない抵抗値を持つことなく、アスペクト比の増加したコンタクトホールとバイアホールに使用される能力を有する。上記の相互結合構造は、集積回路の導電面から、その表面の上を延びるチャネルを介して延在するよう形成される。チャネルは通常、二酸化珪素等の材料の絶縁層に形成される。

【0018】相互結合構造は、バリア層と金属コンポーネントとを含む。バリア層は導電面とチャネルの内壁を被覆する。金属コンポーネントはバリア層の上面にあって、集積回路内の金属層に連結されてもよい導電面を提供する。

【0019】バリア層は耐熱金属の層と金属窒化物の層の組合せによって形成される。耐熱金属の層は下地導電面とチャネルの内壁に堆積する。耐熱金属は下地導電面に対して高度に導電性のコンタクトとなる。

【0020】次に、金属窒化物の層が耐熱金属の層の上に形成される。金属窒化物の層は、耐熱金属の層から延びる130オングストローム未満の厚さを持つ。その結果、チャネルには金属コンポーネントを形成するための十分な幅が残っているため、相互結合構造は許容可能な抵抗値を持つ。金属窒化物は、金属コンポーネントに対する付着性の導電接続部ないしは導電結合部となって、良好な電気的、構造的完全性を持つ相互結合構造を提供する。金属窒化物の層は、金属窒化物を堆積させた後、その金属窒化物をプラズマアニーリングしてその抵抗率を減少させることによって形成できる。

【0021】バリア層が形成された後、金属の層をバリア層の上に堆積させる。金属の層は、相互結合構造の金属コンポーネントを形成する。その金属として、タングステンを使用してもよい。

【0022】本発明の更なる詳細を、添付図面を用いて説明する。

【0023】

【発明の実施の形態】本発明によれば、相互結合構造は、下地バリア層に適合する金属コンポーネントを持つように形成される。金属コンポーネントの幅も充分大きいので、相互結合構造は許容可能な抵抗値を持つ。このような相互結合構造は、集積回路の動作の速度を許容不能に減少させたり有害な拡散の許容不能なリスクをもたらすことなく、ゲート長0.25 $\mu$ m以下の集積回路に使用できる。

【0024】図2の(a)～(g)は、本発明による相互結合構造の形成法を示す。図2の(a)は、集積回路に形成された、コンタクトホールやバイアホール等のチャネル200の断面図を示す。チャネル200は絶縁材料201、例えば二酸化珪素又はその他のタイプの酸化物の層内に形成される。絶縁材料201は、導電材料202の上面から上方に距離Hだけ延びている。

【0025】導電材料202はゲート、ソース、ドレイ

ン、メタルラインでもよいし、集積回路内の別のコンポーネントと導電的に連結されるその他の導電コンポーネントでもよい。導電材料は、珪素、ポリシリコン、ポリサイド(polyside)、珪化物、アルミニウム、銅、又は集積回路内で用いられるその他の導電材料から構成できる。

【0026】チャネル200の内壁203は、導電材料202の接触面204を取り囲む。チャネル200の幅はWで、チャネル200の直径を跨いで測定されたものである。従って、チャネルのアスペクト比は高さHを幅Wで除して計算される。例えば、0.25 $\mu$ m以下のゲート長を用いて製造された集積回路では、幅Wが3000オングストローム、高さHが10000オングストロームとすると、そのチャネル200に対して、これは3.33のアスペクト比となる。

【0027】チャネル200内に相互結合構造を形成するために、バリア層が絶縁材料201の上面と露出接触面204に形成される。バリア層は、まず、露出導電材料202と反応したときに良好な導電特性を持つ第1材料の層を堆積させることによって、形成され得る。

【0028】次に、第2材料の層を第1材料の上に形成する。第2材料は、相互結合構造の金属コンポーネントに対する付着性導電コンタクトを作ることと可能とする。第2材料も、第1材料と下地導電材料への損傷材料(damaging material)の拡散を抑制する。金属を堆積させて金属コンポーネントを形成するとき、上記の損傷材料は堆積する金属とその金属の副産物によってもたらされる。第1材料と第2材料の組合せがバリア層を構成する。

【0029】図2の(b)は、バリア層における第1材料205の層の堆積を示している。本発明によれば、バリア層の第1材料205は、チャネル200の内壁203と導電材料202の露出接触面204を含む絶縁材料201の表面に堆積する。一実施形態では、第1材料205の堆積層の厚さは、チャネルの内壁203の上部コーナーから測定して300オングストローム未満である。別の実施形態では、材料の第1層は、使用する堆積プロセスによって、チャネルの内壁203から25オングストローム～100オングストロームの範囲で延在する厚さを持つ。

【0030】第1材料205はチタン、コバルト、タンタリウム、モリブデン等の耐熱金属とすることができ、第1材料205が耐熱金属で、下地導電材料202が珪素又は加熱されたポリシリコンのときは、導電材料202の表面204で耐熱金属の珪化物が形成される。第1材料205として使用するには耐熱金属が望ましいが、その理由は、それらがシリコンベースの材料(下にくる導電材料202を構成する場合が多い)に対する高度に導電性のコンタクトを提供するからである。しかしながら、下地導電材料202がシリコンベースでないとき、

例えば導電材料202がアルミニウムか銅のメタルラインのときは、耐熱金属を使用してもよい。

【0031】バリア層の第1材料205は、従来の堆積技術、例えば化学的気相堆積法(「CVD」)や物理的気相堆積法(「PVD」)を使って堆積させることができる。CVDプロセスでは、ウェーハを化学的気相堆積チャンバ内に装填する。次に反応性ガスをウェーハ表面に供給し、そこで熱誘導化学反応が起こって、処理されるウェーハ表面に薄膜層を形成する。

【0032】PVDプロセスでは、ウェーハは物理的気相堆積チャンバ内に置かれ、チャンバはアルゴン等の気体で充填される。チャンバ内に電場を作ることによって、その気体から正に帯電したイオンを含むプラズマが発生する。正に帯電したイオンは加速して、チャンバ内に取り付けられたターゲット材料に衝突する。ターゲット材料の原子はその結果、ターゲットから飛び出されてウェーハ上に堆積して、ウェーハの表面にターゲット材料の層を形成する。

【0033】正に帯電したイオンを高密度プラズマPVDチャンバ内で発生させるために、独立したRF信号をチャンバに誘導的に結合してもよい。高密度プラズマPVDチャンバは、ウェーハへのターゲット材料の誘引を改善するために、ウェーハサポートに結合された更に別のRF信号を含んでもよい。

【0034】本発明によるバリア層に対して耐熱金属205を堆積させるために使用される商業的に利用可能な2つのPVDプロセスはCoherentプロセスとVectra IMPプロセスで、ここにIMPはイオン化メタリックプラズマ(Ionized Metallic Process)を表す。CoherentプロセスとVectra IMPプロセスはいずれも、これらのプロセスを実行するPVDチャンバと共に、カリフォルニア州サンタクララのアップライド・マテリアルズ・インコーポレイテッドによって提供される。

【0035】Coherentプロセスを実行するためのチャンバは、DCバイアスされたターゲットと、接地されたウェーハサポートを含む。上記のように、アルゴンガスがチャンバに供給され、ターゲットとウェーハサポート間に電圧を加えてプラズマを形成する。Coherent堆積プロセスでは、DCエネルギーが8000～20000Wの範囲の電力でターゲットに供給される。ウェーハの温度は200～300℃の範囲にセットされ、チャンバの圧力は3～10mTorrの範囲にセットされる。

【0036】ターゲットから飛び出されたターゲット材料の経路を案内するために、Coherentプロセスチャンバはコリメータを備えている。コリメータは、ウェーハサポートの上面に実質的に平行になるように、チャンバ内のターゲットとウェーハサポート間で支持された金属ディスクである。中空のコラムがそのディスクの中を延び、ウェーハサポートの上面に実質的に垂直をなしている。中空のコラムは、堆積するターゲット材料用のガイ

ドとして働く。

【0037】飛び出したターゲット材料がコリメータに達すると、ウェーハサポートに実質的に垂直な軌跡を辿るターゲット材料が中空コラムを通過する。それ以外のターゲット材料は阻止される。これは、ウェーハ表面のコンタクトホールとバイアホールの開口部におけるターゲット材料の過度な蓄積を抑制する。垂直方向のターゲット材料だけをウェーハに通すことによって、より均一で形状追従性のあるターゲット材料の層が堆積する。

【0038】Vectra IMPプロセスを実行するためのチャンバは、DCバイアスされたターゲットと、RF信号発生器に連結されたウェーハを含む。チャンバは更に、チャンバの内側に設けられたコイルを含む。コイルは別のRF発生器に連結されている。

【0039】アルゴンガスがチャンバに供給され、エネルギーが注入されてプラズマを形成する。Vectra IMP堆積プロセスでは、ウェーハサポートに連結されたRF信号ソースとコイルに連結されたRF信号ソースとによってRFエネルギーが提供される。ウェーハサポートに提供されるRF信号は、300~450kHzの範囲の周波数と、100~1000Wの範囲の電力を持つ。コイルに提供されるRF信号は、1~5MHzの範囲の周波数と、100~4000Wの範囲の電力を持つ。ウェーハの温度は、100~300℃の範囲にセットされ、チャンバの圧力は、10~40mTorrの範囲にセットされる。ウェーハは50~200Vの範囲のDCバイアス電圧を獲得する。

【0040】コイルに提供されるRF信号は、飛び出したターゲット材料をイオン化する電場をチャンバ内に提供する。イオン化したターゲット材料とウェーハとの間の電位によってターゲット材料がウェーハ表面に誘引される。その結果、ターゲット材料はウェーハに対して比較的垂直な軌跡を描いてウェーハの表面に衝突する傾向がある。これが第1材料205の形状適合層の堆積をもたらす。

【0041】第1材料205が堆積した後、バリア層の第2材料の層がその第1材料に重なるように形成される。第2材料206の層は、図2の(c)に示すように、従来の物理的気相堆積法や化学的気相堆積法を使って堆積させることができる。化学的気相堆積法を使用するときは、第2材料206の層の形成は、第2材料206を処理してその抵抗率を減少させるステップを含んでもよい。図2の(d)に示すように、プラズマアニーリングを用いてこの抵抗率の削減を達成してもよい。

【0042】第2材料206の層は、チャネル200内で第1材料205の上面207から延びる130オングストローム未満の厚さを持つ。別の実施形態では、第2材料の厚さは25~75オングストロームの範囲にある。第1材料205と第2材料206の合計の厚さはチャネル内壁203から400オングストローム未満であ

る。第1材料205と第2材料206の合計の厚さはチャネル内壁203から75~175オングストロームの範囲内とすることが望ましい。

【0043】上述のように、第2材料206は、相互結合構造の金属コンポーネントに対して付着性のある導電コンタクトを形成する能力を持つ導電材料である。従って、金属窒化物を第2材料206として使用できる。二元金属窒化物の $M_xN_y$ と三元金属シリコン窒化物 $M_xSi_yN_z$ （ここにMはチタン、ジルコニウム、ハフニウム、タンタリウム、モリブデン、タングステンその他の金属で、x、y、zは使用される金属、珪素、及び窒素の別の定量的コンビネーションを示す）の両者をバリア層の金属窒化物206として使用してもよい。

【0044】タングステンを相互結合構造の金属コンポーネントとして使用するときは、窒化チタンが第2材料206用の良好な選択物となる。窒化チタンはタングステンに対する優れた付着性を持ち、タングステン及びタングステンの堆積中に生じた副産物の拡散に対する良好なバリアとして役立つ。タングステンを堆積させて金属コンポーネントを形成するときは、バリア層は六弗化タングステン( $WF_6$ )に曝される。タングステンの堆積中、弗素はタングステンから分離してバリア層内に拡散しようとする。弗素は高度の腐食性があり、バリア層の第1材料、及び地下導電材料202の中に抵抗性の高い領域を形成する場合がある。

【0045】窒化チタンは弗素の拡散を抑制するのに好適で、弗素は第1材料205やその下にくる導電材料のいずれにも到達しない。従来は、拡散防止のために、150オングストロームを超える窒化チタンの厚い層が相互結合構造に使用されていた。本発明によれば、プラズマアニーリングされた堆積窒化チタンは、150オングストローム以下の、25~75オングストロームの範囲の厚さで使用できる。

【0046】第2材料206は、化学的気相堆積を実行できるチャンバ内で堆積される。窒化チタン材料の化学的気相堆積は、金属有機(metallo-organic)チタン化合物の使用によって達成してもよい。上記の化合物の一つはテトラキス(ジアルキルアミド)チタン( $Ti(NR_2)_4$ )で、ここにRは各発生時点で独立に、例えば1~5個の炭素原子から成るアルキル基である。 $Ti(N(CH_3)_2)_4$ の化学式を持つテトラキス(ジメチルアミド)チタン(TDMA T)の使用は一般的である。キャリアガス、例えばヘリウム、アルゴン、窒素、又は水素はその化合物をCVDチャンバに運び込み、エネルギーが注入される。エネルギーは熱CVDの場合は加熱ソースによって発生し、プラズマ強化CVDの場合はRF信号ソースによって発生する。活性化された化学蒸気はウェーハ表面と反応して、材料の薄層をウェーハ上に形成する。

【0047】TDMA T化学蒸気を使用するときは、窒

化チタン膜がウェーハ表面に堆積する。第2材料206としての窒化チタンの堆積を促進するために、ウェーハ温度は340～390℃の範囲にセットされ、処理チャンバ圧力は0.5～2.0 Torrの範囲にセットされる。本発明の実施形態に使用可能な窒化チタン堆積用の従来のCVDプロセスはSandhu他に付与された、米国特許第5,246,881号に開示されている。

【0048】しかしながら、窒化チタン等の第2材料206のCVD堆積層は、かなりの炭素量を含む。これが第2材料206の堆積層を化学的に反応性にする。その結果、膜が空気その他の酸素含有ガスに曝されると、酸素が膜の中に吸収される。この酸素吸収は制御不能なので、第2材料206の安定性が損なわれ、第2材料206の抵抗率は不利な方向に増加する。これによって、集積回路に形成されるデバイスの信頼性が劣ったものになるかもしれない。

【0049】空気に露出されると、CVD堆積窒化チタン膜のシート抵抗率は、約100000 $\mu\Omega\text{-cm}/\text{sq}$ から最大約1000000 $\mu\Omega\text{-cm}/\text{sq}$ までの値に増加する場合がある。これは、相互結合構造のバリア層の第2材料206として堆積窒化チタンを使用するときには極めて望ましくない。約600 $\mu\Omega\text{-cm}$ 以下のオーダーの抵抗率が望ましい。

【0050】図2の(d)に示すように、CVD堆積第2材料206は、その抵抗率を削減するためにプラズマアニーリングしてもよい。単一のプラズマアニーリングが逐次的なプラズマアニーリングのいずれかを使って膜206の抵抗率を削減する。「半導体ウェーハ上の膜の構造 (Construction of a Film on a Semiconductor Wafer)」と題する、1997年2月28日出願のChern他による米国特許出願は、第2材料206の抵抗率の削減のために使用可能な単一及び逐次プラズマアニーリングの双方を開示している。

【0051】本発明によれば、窒化チタン等のCVD堆積第2材料206は不活性のプラズマ含有高エネルギーイオンを使ってプラズマアニーリングされ得る。RFプラズマアニーリング時のウェーハに対する誘起バイアス電圧が、ウェーハのイオンボンバードを可能にする。本発明によってプラズマアニーリングされた窒化チタンが空気や酸素や水蒸気に曝されると、酸素は吸収されないか、或いは、バイアス電圧をウェーハに印加しなかった場合と比べて、吸収の程度がはるかに小さくなる。

【0052】本発明によって堆積、アニーリングされる窒化チタンも、従来の金属有機チタン化合物の熱CVDで生産された窒化チタンに比べて、結晶性が高く、より多くの窒素を含み、酸素と炭素の含有量が少なくなる。本発明によってアニーリングされた堆積窒化チタン膜も、低い安定したシート抵抗率を持つ。

【0053】本発明の正確な物理メカニズムは分かっていない。しかしながら、バイアスされた基板上の堆積材

料の高エネルギーイオンボンバードが膜の密度を高めると考えられる。この結果、膜の抵抗が削減され、拡散に対するバリアとして働く膜の能力が増大する。第2材料206の抵抗の削減は、許容可能な抵抗値を持つ相互結合構造の形成を補助する。第2材料206のバリア特性の向上が第2材料206の薄層化を可能にするので、本発明による薄いバリア層をもたらす。

【0054】本発明の一実施形態では、CVD堆積された第2材料206のアニーリング用のプラズマの形成に用いられるガスは任意のガスでよいが、窒素、アンモニア、アルゴン等の非酸素及び炭素含有ガスであることが望ましい。窒素は窒化チタン材料のパッシベーション(passivation)に効果がある。別法として、堆積材料は、イオンソース等の非気体種から発生するイオンによってボンバードできる。堆積した第2材料206のプラズマ処理は、その粒子性能、ステップカバレッジ、堆積速度、又はバリア性能に不利な影響を与えない。

【0055】第2材料206の上記の堆積とプラズマアニーリングは、化学的気相堆積とプラズマアニーリングの両者に配慮した任意のチャンバ、又はチャンバのセットで実行できる。しかしながら、第2材料206の堆積とプラズマアニーリングの両者が同一チャンバで行なわれるならば有益である。これは、堆積チャンバからアニーリングチャンバまでの移動時の、酸素等の汚染物質に対する第2材料206の露出を排除する。上記の露出は、第2材料206の抵抗率が許容不能なレベルに増加するような欠陥をもたらす可能性がある。

【0056】従って、1996年7月12日出願のZhao他による米国特許出願第08/680,724号、発明の名称「化学蒸着チャンバ内のガス流路におけるベDESTAL周辺のコンポーネント」に記載されているCVDチャンバを使用してもよい。この出願に記載されているチャンバ130を図3に概略的に示す。チャンバ130は、ガスを処理チャンバ135に供給するためのシャワーヘッド134と、処理されるウェーハを支持するためのウェーハサポート132を含む。ウェーハサポート132は抵抗性のコイル(図示せず)によって加熱され、熱的に活性化された反応、例えば堆積中に行なわれる反応のためのウェーハ温度をセットする。

【0057】ウェーハサポート132は接地され、シャワーヘッド134は整合回路網252を介して高周波(RF)信号ソース136に接続されている。プラズマアニーリングの間、ガスがチャンバに供給されて、RF信号ソース136によってシャワーヘッド134に提供されるRF信号からエネルギーが注入される。その結果、ガスはプラズマ254に変換され、そのプラズマが、ウェーハサポート132によって支持されるウェーハをボンバードするイオンを提供する。

【0058】第2材料206の堆積とプラズマアニーリングの両者を実行するには、カリフォルニア州サンタ



ララのアブライド・マテリアルズ・インコーポレイテッドによって「TxZ Chamber」の商標で提供されるチャンバを使用できる。

【0059】本発明によるプラズマアニーリングを実行するために使用可能な別のチャンバは、発明の名称「半導体ウェーハ上の膜の構造」と題する1997年2月28日申請のChem他による米国特許出願に開示されている。一つ以上のチャンバを使ってCVD堆積とプラズマアニーリングを実行するときは、ウェーハをCVDチャンバからアニーリングチャンバまで移動する間、真空を維持することが望ましい。

【0060】図3に示すチャンバ130内で窒素を使ってCVD堆積された窒化チタンの単一プラズマアニーリングを実行するには次の手順に従う。プラズマアニーリングプロセスを図3に示すチャンバ130に関して説明するが、当業者であれば、プラズマアニーリングが、上述のように、多数の異なるチャンバで実行できることを充分理解されるであろう。

【0061】相互結合構造が形成されるウェーハは、ウェーハサポート132の上に、シャワーヘッド134から約0.3〜0.8インチ、好ましくは0.6〜0.7インチの間隔をあけて配置される。シャワーヘッド134を介して処理チャンバ135に導入される窒素ガスにRFエネルギーを加えることによって、活性イオンが得られる。RFエネルギーは、シャワーヘッド134に連結されたRF信号ソースから供給される。700〜1000Wの電力を持つ約350KHzのRF信号が供給される。

【0062】シャワーヘッド134にRF電力を供給してウェーハサポート132と処理チャンバ135の壁を接地した状態で、−100〜−200Vの間のDC自己バイアス電圧がウェーハ上に誘導される。DC自己バイアス電圧は、ウェーハとアースの間で−100〜−200Vの範囲であることが望ましい。これは、ウェーハ表面の第2材料206に高エネルギーで衝突するようにイオンを誘引するのに充分である。プラズマアニーリングの間、処理チャンバの圧力は0.5〜2.0 Torrの範囲にセットされる。アニーリングの結果、堆積窒化チタンはパッシベートされて密度を高められるので、長期間安定性を維持する。プラズマアニーリングは20〜40秒間、実行される。

【0063】本発明の代替実施形態では、バリア層の第2材料206のプラズマアニーリング時に、窒素と水素の混合体を窒素の代わりに使用している。図3に示すチャンバ130を使用するときは、ウェーハをウェーハサポート132の上に、シャワーヘッドから約0.3〜0.8インチ、好ましくは0.6〜0.7インチの間隔をあけて配置する。

【0064】窒素と水素の3:1の混合体から構成されるガスが、シャワーヘッド134を介して処理チャンバ

135に導入される。窒素と水素の混合体は約300 sccmの窒素流量で導入される。次に、RFソース136が整合回路網252を介して350KHzで750WのRF電力を供給して、シャワーヘッド134にRF信号を発生させる。

【0065】上記のガス混合体は窒素対水素比3:1を持つが、3:1と1:2の間の任意の比率を使用できる。一般に、混合体の水素の割合が大きいほど長期的に安定した膜になる。しかしながら、プラズマ中の水素が多すぎると、膜の中の水素と炭素の間で結合してポリマーを形成し、膜の抵抗率を増加させる。

【0066】正に帯電した窒素と水素イオンを含むプラズマは、シャワーヘッド134に供給されたRF電力の影響下で形成される。プラズマは通常、10〜35秒間維持される。上記のように、処理チャンバ壁とウェーハサポート132とは接地されている。シャワーヘッド134は−150〜−450Vの間、通常は−400Vの負のバイアスを獲得する。ウェーハは、−100〜−200Vの間、通常は−150Vの負のバイアスを得るために自己バイアスがかけられる。この負のバイアス電圧はボンバードの期間中はほぼ一定を保つ。

【0067】ボンバードの期間中、プラズマからの正に帯電したイオンは電圧勾配によってウェーハの表面へと加速される。これによってイオンがウェーハ表面をボンバードして、50〜100オングストロームの深さに貫入(penetrating)する。プラズマからの活力ある中性原子粒子もウェーハをボンバードするだろう。

【0068】イオンボンバードの結果、堆積した材料の圧縮が起こり、厚さが20〜50%縮小する。縮小はウェーハの温度、プラズマ処理時間とエネルギーに依存する。要望に応じて、窒化チタンの更なる層が継続的に堆積、アニーリングされる。

【0069】アニーリングが完了した後、得られたアニーリング済みの窒化チタン膜は多くの特性が改善される。酸素含有量が20〜25%削減されるので、酸素の構成は堆積したアニーリング済材料の1%未満になる。膜の密度は3.1 g/cm<sup>3</sup>から約3.9 g/cm<sup>3</sup>に増加する。堆積膜に取り込まれる炭素の割合は25%以上削減されて、炭素の構成は堆積材料の3%になる。

【0070】膜の構造に変化が起こり、膜の抵抗率は約10000 μΩ-cmの前処理レベルから150 μΩ-cmの低い値まで低下する。アニーリングされた膜が酸素や空気や水蒸気に曝されると、酸素の吸収の程度は、堆積膜がアニーリングされなかった場合よりもはるかに少なくなる。プラズマアニーリングによって、堆積時の膜の炭素と窒素がプラズマからの窒素で置換される。

【0071】窒素と水素の混合体を使ってプラズマを形成すると、第2材料206の厚さの範囲が下記の場合、次の抵抗率となる。すなわち厚さ50オングストローム以下では180〜210 μΩ-cmの範囲の抵抗率、7

0～80オングストロームでは320～370 $\mu\Omega\text{-cm}$ の範囲の抵抗率、90～110オングストロームでは430～550 $\mu\Omega\text{-cm}$ の範囲の抵抗率になる。

【0072】本発明の更に別の実施形態では、アニーリング用のプラズマを形成するために使用される窒素と水素ガスの混合体は、他のガス、例えばアルゴン、ヘリウム及びアンモニアを含んでもよい。希ガスの追加もイオンボンバード処理を改善する。アルゴン原子はヘリウム原子よりも重いので、アルゴン原子の方が優れたボンバード能力を提供するだろう。

【0073】堆積した第2材料206の抵抗率を更に削減するために、プラズマアニーリングプロセスを本発明に従って変更して、2つの逐次プラズマアニーリングステップを含むようにしてもよい。第1アニーリングステップは、上記のように、窒素と水素を含むガス混合体から発生したプラズマを使って実行される。第2プラズマアニーリングステップは、酸素に対する水素の親和性が抵抗率の増加をもたらすので、アニーリング済み材料から水素を取り除くために実行される。

【0074】第2プラズマ内に形成されたイオンが、堆積したアニーリング済みの材料をボンバードすることによって、材料の表面の水素を廃棄副産物として膜から放出させる。水素の削減は、酸素に対する材料の親和性を削減し、膜の抵抗率の低下と安定性の改善を可能にする。

【0075】第2逐次アニーリングステップでプラズマを形成するために使用されるガスは、窒素、又は、窒素とヘリウム、アルゴン若しくはネオンとの混合体から構成できる。ヘリウムが望ましいが、それは、ヘリウムが窒素分子のイオン化を促進して、 $N^+$ 、 $N_2^+$ 、 $N_3^+$ 及び $N_4^+$ イオンの再結合の確率を減少させるからである。窒素とヘリウムの混合体は窒素単体の使用より望ましい。というのは、ヘリウムベースのプラズマイオンはイオン化効率を高めることができるので、イオンの反応性を促進すると共に、より大きな貫入深さを達成するからである。貫入深さの増大は、より大量の水素の排斥(displacement)をもたらすので、堆積材料の抵抗率の削減を最大にするだろう。更に、ヘリウムの小さな質量は、水素原子の脱出によって堆積材料内に残された、窒素イオンで充填するには小さすぎる空孔(vacancies)の充填を可能にする。

【0076】本発明によれば、ウェーハは、チャンバ、例えば図3のチャンバ130内に置かれ、第2材料206の層は、上記のように、第1材料205の上にCVD蒸着される。堆積する第2材料206は窒化チタンでよい。

【0077】第2材料206の層は次に、同一チャンバ130内で第1プラズマアニーリングプロセスを受ける。ウェーハ114はウェーハサポート132の上にあるが、シャワーヘッド134から約0.3～0.8インチ

離れている。ウェーハはシャワーヘッド134から0.6インチと0.7インチの間にあることが望ましい。

【0078】イオンボンバードは、まずガスをシャワーヘッド134を介して処理チャンバ135内に移送することによって達成される。本発明の一実施形態では、ガスは2:3の窒素対水素比率を持つ窒素と水素の混合体で、約600sccmの窒素流量で処理チャンバ135に導入される。処理チャンバ135の圧力はほぼ1.0 Torrにセットされ、ウェーハ温度は350～450℃の間にセットされる。本発明の別の実施形態では、ガスは3:1と1:2の間の窒素対水素比率を持つ混合体で構成してもよい。

【0079】次に、第1アニーリングプロセスでは、RFソース136がシャワーヘッド134にRF信号を供給する。これによって、ガスは正に帯電したイオンを含むプラズマを形成する。RFソース136は例えば350KHzで750WのRF電力を供給する。通常、プラズマは20秒～40秒の間、維持される。RFソース136は、この他に、1MHz以下の周波数で750WのRF電力を供給してもよい。

【0080】RFソース136からの電圧の反復サイクルは、ウェーハに負のバイアスを生じるウェーハ周辺の電子の過剰をもたらす。シャワーヘッド134は-200～-450Vの間、通常は-400Vの負のバイアスを獲得する。処理チャンバ135とウェーハサポート132は接地され、ウェーハの負のバイアスは-100～-250Vの間、通常は-200Vで、イオンボンバードの間中はほぼ一定に保たれる。

【0081】イオンボンバードの間、プラズマからの正に帯電したイオンは電圧勾配によってウェーハ114の表面へと加速されて、ウェーハの表面を50～100オングストロームの間の深さまで貫入する。プラズマからの活力ある中性原子粒子もウェーハをボンバードするであろう。第1アニーリングが完了した後、処理チャンバ135がバージされる。

【0082】次に、第2アニーリングプロセスが同一チャンバ130で開始される。本発明の一実施形態では、プラズマ発生ガスは窒素だけである。ガスはほぼ500～1000sccmの窒素流量で処理チャンバ135に導入される。処理チャンバ135の圧力はほぼ1.0 Torrにセットされ、ウェーハ温度は350～450℃の間にセットされる。

【0083】本発明の別の実施形態では、ガスは0.2～1.0の間の窒素対ヘリウム比率を持つ窒素とヘリウムの混合体とすることができる。その他の、窒素と、アルゴンかネオンかヘリウムかそれらの組合せのいずれかとの組合せを含むガスも使用することができる。

【0084】次に第2アニーリングプロセスでは、RFソース136がシャワーヘッド134にRF信号を供給

する。これによって、ガスは正に帯電したイオンを含むプラズマを形成する。RFソース136は、シャワーヘッド134にRF信号を発生させるために、マッチングネットワーク252を介して300~400KHzで300~1500WのRF電力を供給してもよい。通常、プラズマは20~40秒の間、維持される。RFソース136は、その他に、13.56MHz以下の異なる周波数で300~1500WのRF電力を供給してもよい。ソース136の電力は、異なるサイズのウェーハを処理する必要があるに基いて増減される。

【0085】第1アニーリングの場合と同様、RFソース136からの電圧の反復サイクルは、ウェーハに負のバイアスを生じるウェーハ周辺の電子の過剰をもたらす。シャワーヘッド134は-200~-450Vの間、通常は-400Vの負のバイアスを獲得する。処理チャンバ135とウェーハサポート132は接地され、ウェーハの負のバイアスは-100~-250Vの間、通常は-200Vで、イオンボンバードの期間中はほぼ一定に保たれる。

【0086】第2イオンボンバードの間、プラズマからの正に帯電したイオンは電圧勾配によってウェーハの表面へと加速される。イオンは第2材料の表面を貫入して、堆積したアニーリング済の第2材料206の中の水素分子を排斥する。プラズマからの活力ある中性原子粒子もウェーハをボンバードするであろう。第2アニーリングが完了した後、処理チャンバがバージされる。

【0087】窒素ガスが第2プラズマアニーリングに使用されるときは、イオンは35~50オングストロームの間の深さまで貫入する。ガスが窒素とヘリウムの混合体のときは、イオンは50~100オングストロームの間の深さまで貫入する。従って、窒素とヘリウムの混合体によるアニーリングは、窒素のみを使用したアニーリングより多数の水素分子を排斥することができる。

【0088】図3に示すチャンバ130内で逐次アニーリングを実行するときは、堆積、第1アニーリング、及び第2アニーリングをすべて同一チャンバ内で実行することができる。従って、堆積と逐次アニーリングは原位置で実行される。しかしながら、堆積と逐次アニーリングのプロセスステップは必ずしも原位置で実行する必要はなく、別のチャンバを使用してもよい。

【0089】上記の単一及び逐次プラズマアニーリングプロセスの処理時間を削減するために、RFソース136によって提供される信号の周波数と電力を増加してもよい。プラズマアニーリングの処理時間の減少は、時間当りのウェーハの処理数の増加をもたらす。これが各ウェーハの製造コストの削減となる。

【0090】例えば、窒素と水素を含むプラズマによる上記の単一アニーリングを使用することによって、一チャンバ当たり1時間毎に約22.5枚のウェーハのスループットになる。このスループットを増加させるために、

RF信号ソース136によって提供される信号の周波数を300KHz~2MHzの範囲になるように増加してもよい。代替として、RF信号の周波数を300~450KHzの範囲に維持する一方、電力を750~1200Wの範囲になるように増加してもよい。上記の周波数と電力の調節を使用することによって、一チャンバ当たり1時間毎に25枚のウェーハスループットをもたらすだけ充分にプラズマアニーリング時間を削減できると考えられる。

【0091】図2の(e)は、相互結合構造の金属コンポーネントとして働く導電材料208の堆積を示す。タングステン等の多数の異種金属を導電材料208として使用してもよい。導電材料208は、バリア層の第2材料206の上面209に堆積させる。相互結合構造における導電材料208の堆積には、PVDやCVD等の多くの従来の堆積技術を使用できる。

【0092】導電材料208は、第2材料206で囲まれたチャンネル200内の残りの領域を充填するのが理想である。しかしながら、許容可能な軽微な欠陥(図示せず)が発生する場合があるので、第2材料206によって囲まれた領域は必ずしも完全に充填されない。これらの欠陥は、導電材料208の上面からチャンネルの上部の開口の下のごく浅い所で延びるスパイク(spikes)を含む。

【0093】図2の(f)は、相互結合構造を形成するその次のステップを示す。図2の(f)に示すように、等方性のエッチングを行なって、チャンネル内壁203を形成しない絶縁層201の表面からバリア層と導電材料208とを除去する。第1材料205、第2材料206、及びチャンネル200内に残る金属208が組み合わされて、相互結合構造300を形成する。第1材料205と第2材料206の組合せはバリア層301を形成する。

【0094】図2の(g)は、相互結合構造を収容する材料201の絶縁層を覆う金属層211の形成を示す。図2の(g)に示すように、材料、例えばポリシリコン、アルミニウム、銅その他の材料の導電層が堆積及びパターニングされて金属層211を形成する。堆積はPVD、CVDその他の従来の手段によって達成可能で、パターニングは従来のフォトリソグラフィ技術によって達成できる。図2の(g)に示すように、相互結合構造300は金属層211内のメタルライン212に導電的に連結される。

【0095】図2の(f)と図2の(g)の双方の、得られた相互結合構造300は、第1材料205と第2材料206とから成るバリア層301と、金属コンポーネント208を形成する導電材料とを含む。第1材料205は接触面204に対する高度に導電性の結合部を提供する。第2材料206は第1材料205に導電的に連結されて、金属コンポーネント208に対する付着性の導

電性結合部を提供する。金属コンポーネント208は、メタルラインに連結するための導電リードを提供して、接触面204を集積回路内の素子に連結する。

【0096】バリア層301の厚さの削減の結果、相互結合構造300に使用される金属コンポーネント208の幅は、 $0.25\mu\text{m}$ 及びサブ $0.25\mu\text{m}$ の集積回路で従来の金属コンポーネントよりも増加する。相互結合構造300の抵抗は、これによって、厚さ $400\sim 500$ オングストロームのバリア層を持つ従来の相互結合構造の抵抗に比べて削減される。例えば、チャネル200の幅Wが $1000$ オングストロームでバリア層301が $75\sim 175$ オングストロームの間のときは、金属コン

ポーネント208は $650\sim 850$ オングストローム範囲の幅を持つ。これは、 $1000$ オングストローム幅のチャネルの、従来の金属コンポーネントの幅、 $0\sim 200$ オングストロームよりもかなり広い。

【0097】下表は、本発明によって形成された各種相互結合構造の抵抗値を示す。表では、各行は、本発明による相互結合構造を形成する処方（レシピ）に対応する。各相互結合構造は、 $0.40\sim 0.25\mu\text{m}$ の範囲の幅と、 $3.5\sim 4.5$ の範囲のアスペクト比を持つチャネル内に形成された。

【0098】

【表1】

	第1材料	第2材料	抵抗
1	Coherent Ti - $100\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $50\text{\AA}$	$1.92\Omega$
2	Coherent Ti - $100\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $35\text{\AA}$	$1.80\Omega$
3	Coherent Ti - $100\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $75\text{\AA}$	$2.31\Omega$
4	Vectra IMP Ti - $50\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $25\text{\AA}$	$1.60\Omega$
5	Vectra IMP Ti - $50\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $35\text{\AA}$	$1.70\Omega$
6	Vectra IMP Ti - $50\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $50\text{\AA}$	$2.25\Omega$
7	Vectra IMP Ti - $25\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $50\text{\AA}$	$2.22\Omega$
8	Vectra IMP Ti - $35\text{\AA}$	CVD & $\text{N}_2/\text{H}_2$ プラズマ TiN - $50\text{\AA}$	$2.10\Omega$

第1材料の欄は、各相互結合構造のバリア層301の第1材料205の層を堆積させるために使用されたプロセスを示す。この欄は、第1材料205に使用された材料と第1材料205の厚さも示す。

【0099】同様に、第2材料の欄は、バリア層301の第2材料206の層の形成に使用された堆積プロセスとアニーリングプロセスを示す。この欄は、第2材料206に使用された材料と第2材料206の厚さも示す。抵抗の欄は、各処方によって形成された相互結合構造の抵抗値を示す。

【0100】例えば、第1行に記載された処方によって形成される相互結合構造は第1材料205にチタンを使用し、第2材料206に窒化チタンを使用する。チタンの層は、Coherentプロセスを実行するチャンバを用いて、厚さが $100$ オングストロームになるようにPVD堆積する。窒化チタンの層は、窒化チタンをCVD堆積させた後、窒素と水素の混合体から成るプラズマ中で、窒化チタンを単一プラズマアニーリングすることによって形成される。堆積とプラズマアニーリングの後の窒化チタンの厚さは $50$ オングストロームである。

【0101】第1行の処方によって形成される相互結合構造の抵抗は $1.92\Omega$ で、これは最大許容値 $3.0\Omega$ よりも十分に低い。実際、第1～第8行に示す処方は、すべて $3.0\Omega$ 未満の抵抗値を持つ相互結合構造の形成をもたらす。これは、第1材料205と第2材料206によって形成される薄いバリア層の結果である。

【0102】第1～第8行に示す処方によってもたらされるバリア層は、すべて $75\sim 175$ オングストロームの範囲内に入る。これらの厚さを持つバリア層を、従来の $400\sim 500$ オングストロームの厚さを持つバリア層の代わりに使用すると、より幅広い、より抵抗の低い金属コンポーネントが形成できる。その結果、本発明による相互結合構造は、従来方法で形成された相互結合構造より低い抵抗値を持つ。

【0103】一般に、本発明によって形成される相互結合構造は、 $0.25\mu\text{m}$ 以下のゲート長を持つ集積回路で、許容可能な抵抗値を持つことが判明している。特に、 $0.25\mu\text{m}\sim 0.18\mu\text{m}$ のゲート長を持つ集積回路で、許容可能な相互結合構造が、下記の第1材料205を使用して本発明によって形成された。すなわち、

50～100オングストロームの範囲の厚さを持つ Coherent 堆積のチタン、40～60オングストロームの範囲の厚さを持つ VECTRA IMP 堆積のチタン、又は40～60オングストロームの範囲の厚さを持つ CVD 堆積のチタンである。25～100オングストロームの範囲の厚さを持つプラズマアニーリングされた堆積窒化チタンが、0.25 $\mu$ mと0.18 $\mu$ mのゲート長を使った集積回路用のバリア層の許容可能な第2材料206として役立った。上記の第1材料と第2材料の寸法は、シリサイド表面とメタルラインとの導電的な連結に使用された場合に特に有効であることが判明した。

【0104】本発明を、0.25 $\mu$ m及びサブ0.25 $\mu$ mテクノロジーを使って製造された集積回路におけるその効用に関して説明したが、本発明は上記の集積回路の実施に限定されるものではない。本発明による相互結合構造は、接触抵抗とバリア抵抗を削減するために、より大寸のテクノロジーで製造される集積回路にも形成できる。更に、本発明によって形成されるバリア層の厚さの削減は、バリア層の形成時に堆積する材料の量を少なくする。各バリア層に対する堆積容積の削減は、チャンバ洗浄の間に、単一チャンバでの、より多くのバリア層の形成を可能にする。これがチャンバの保全コストを削

減し、従ってチャンバにおけるウェーハの処理コストを削減する。

【0105】本発明を特定の典型的な実施形態に関して説明したが、特許請求の範囲の請求項に規定される発明の精神と範囲から逸脱することなく当該技術に精通する者によって様々な修正と変更が実行できることは、充分理解されるだろう。

【図面の簡単な説明】

【図1】多重金属層を含む集積回路の一部の断面図を示す。

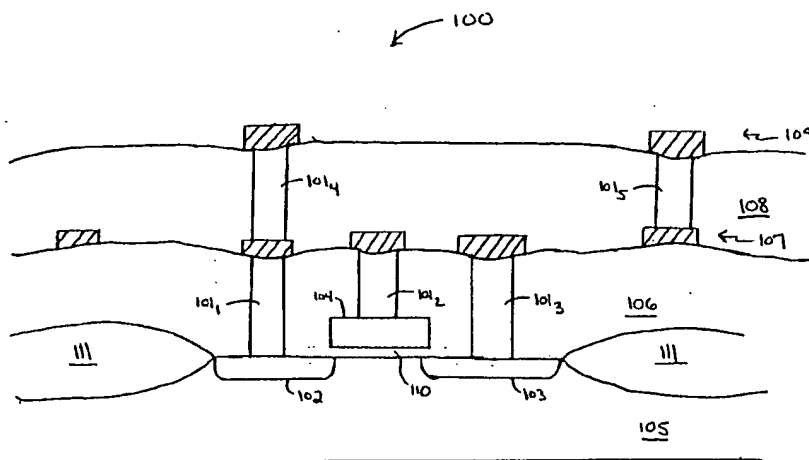
【図2】(a)～(g)は、本発明による相互結合構造の形成法を示す集積回路の一部の部分断面図である。

【図3】図2の(c)と図2の(d)に示す相互結合構造のバリア層の金属窒化物の層を形成するために使用されるチャンバを示す。

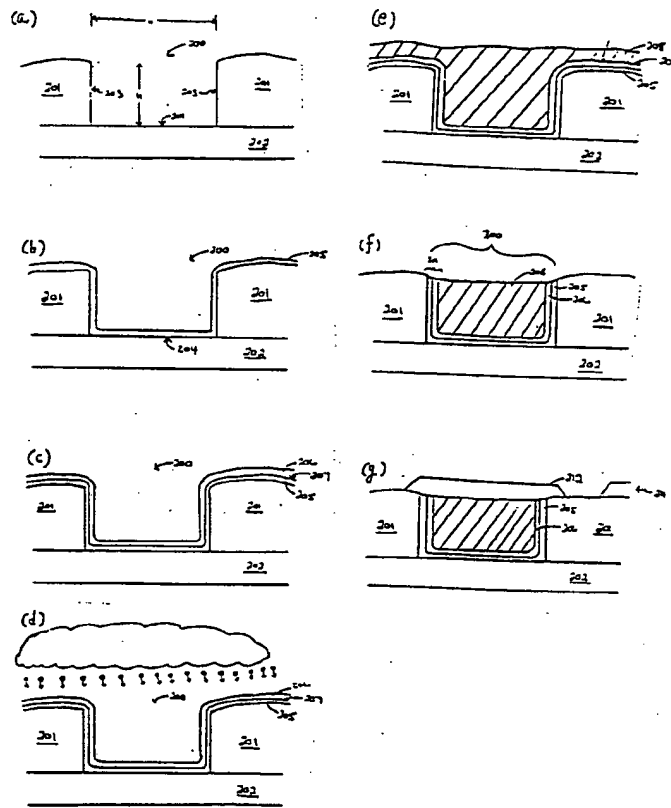
【符号の説明】

200…チャネル、201…絶縁材料、202…導電材料、203…チャネルの内壁、204…導電材料の接触面(導電面)、205…第1材料、206…第2材料、207…第1材料の上面、208…導電材料、211…金属層、212…メタルライン、300…相互結合構造。

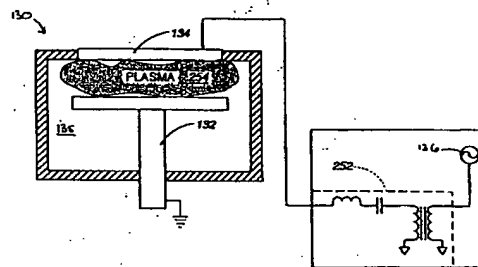
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 チー チャーン  
アメリカ合衆国、カリフォルニア州、  
サラトガ、ノールウッド ドライヴ  
20110

(72)発明者 ジュニファー ツェング  
アメリカ合衆国、カリフォルニア州、  
サラトガ、デサンカー アヴェニュー  
12471

(72)発明者 マイケル ダネック  
アメリカ合衆国、カリフォルニア州、  
サニーヴェイル、ブラックホーク ドラ  
イヴ 1538

(72)発明者 ロデリック シー、 モーズリー  
アメリカ合衆国、カリフォルニア州、  
プレゼントン、ディアヴィラ アヴェニ  
ュー 4337

(72)発明者 カール リタウ  
アメリカ合衆国、カリフォルニア州、  
パロ アルト、ブライアント ストリー  
ト 3278

(72)発明者 イヴォ ラーイジュメイカーズ  
アメリカ合衆国、アリゾナ州、フィニ  
ックス、イースト ビッグホーン アヴ  
ェニュー 2741

【外国語明細書】

1. Title of Invention

AN INTERCONNECT STRUCTURE FOR USE IN AN  
INTEGRATED CIRCUIT



整理番号: P98AM-044

(2/56)

## 2. Claims

What is claimed is:

1. A structure in an integrated circuit, said structure extending from a conductive surface through a channel having inner walls extending above said conductive surface, said structure comprising:

a layer of a refractory metal residing on said conductive surface and said inner walls of said channel; and

a layer of a metal nitride residing on said layer of said refractory metal, wherein said layer of said metal nitride has a thickness extending from said layer of said refractory metal of less than 130 Å.

2. The structure of claim 1, wherein said layer of said metal nitride has a thickness in the range of 25 to 75 Å.

3. The structure of claim 1, wherein said layer of said refractory metal and said layer of said metal nitride have a combined thickness extending from said inner walls of said channel of less than 200 Å.

4. The structure of claim 1, wherein said structure has a width that is less than or equal to

整理番号: P 9 8 AM-0 4 4

(3/56)

3,000 Å.

5. The structure of claim 1, wherein a ratio of a height of said structure to a width of said structure is greater than or equal to 3.33.

6. The structure of claim 1, wherein said layer of said refractory metal has a thickness extending from said inner walls of said channel in a range of 25 to 100 Å.

7. The structure of claim 1, wherein said refractory metal is a metal selected from the group consisting of titanium, tantalum, cobalt and molybdenum.

8. The structure of claim 1, wherein said metal nitride has a resistivity of less than 600  $\mu\Omega\text{-cm}$ .

9. The structure of claim 1, wherein said metal nitride includes a metal selected from the group consisting of titanium, zirconium, hafnium, tantalum, molybdenum and tungsten.

10. The structure of claim 1, further including: a layer of a metal residing on said layer of said

整理番号: P98AM-044

(4/56)

metal nitride.

11. The structure of claim 10 wherein said metal nitride is adhesive to said metal.

12. The structure of claim 10, wherein said metal is tungsten.

13. The structure of claim 10, wherein said structure has a resistance less than or equal to 3.0  $\Omega$ .

14. The structure of claim 13, wherein said channel has an aspect ratio greater than or equal to 3.33.

15. A structure in an integrated circuit, said structure extending from a conductive surface surrounded by a channel having inner walls extending from said conductive surface, said structure comprising:

a layer of a refractory metal having a thickness in a range of about 25 to 100 Å residing on said conductive surface and said inner walls of said channel; and

a layer of a metal nitride residing on said layer of said refractory metal, wherein said layer of said

整理番号: P 9 8 AM-0 4 4

(5/56)

metal nitride has a thickness extending from said layer of said refractory metal of less than 130 Å.

16. The structure of claim 15, wherein said layer of said metal nitride has a thickness in the range of 25 to 75 Å.

17. The structure of claim 15, wherein said layer of said refractory metal and said layer of said metal nitride have a combined thickness extending from said inner walls of said channel of less than 175 Å.

18. The structure of claim 15, wherein said channel has an aspect ratio greater than or equal to 3.33.

19. The structure of claim 15, wherein said refractory metal is a metal selected from the group consisting of titanium, tantalum, cobalt, and molybdenum.

20. The structure of claim 15, wherein said metal nitride includes a metal selected from the group consisting of titanium, zirconium, hafnium, tantalum, molybdenum and tungsten.

21. A method for forming a structure in an integrated circuit, said structure extending from a conductive surface through a channel having inner walls extending above said conductive surface, said method including the steps of:

(a) depositing a layer of a refractory metal on said conductive surface and said inner walls of said channel; and

(b) forming a layer of a metal nitride on said layer of said refractory metal, wherein said layer of said metal nitride has a thickness extending from said layer of said refractory metal of less than 130 Å.

22. The method of claim 21, wherein said layer of said metal nitride has a thickness in the range of 25 to 75 Å.

23. The method of claim 21, wherein said layer of said refractory metal and said layer of said metal nitride have a combined thickness extending from said inner walls of said channel of less than 200 Å.

24. The method of claim 21, wherein said step (b) includes the steps of:

depositing said metal nitride on said layer of said refractory metal; and

整理番号: P 9 8 AM-0 4 4

(7/56)

plasma annealing said metal nitride.

25. The method of claim 24, wherein said step of plasma annealing includes the steps of:

exposing said metal nitride to an environment containing ions; and

electrically biasing said layer of said metal nitride to cause said ions from said environment to impact said metal nitride.

26. The method of claim 25, wherein said step of exposing said metal nitride to said environment containing ions includes the steps of:

providing a gas; and

providing a first rf signal to a first electrode on a first side of a wafer on which said structure is being formed to provide energy to said gas.

27. The method of claim 26, wherein said gas contains at least one gas selected from the group consisting of nitrogen, hydrogen, argon, helium, and ammonia.

28. The method of claim 26, wherein said metal nitride includes at least one material selected from the group consisting of titanium, tantalum, tungsten,

hafnium, molybdenum, and zirconium.

29. The method of claim 26, wherein said gas includes a noble gas.

30. The method of claim 24, wherein said step of depositing said metal nitride and said step of plasma annealing are both performed in a single chamber and without removing a wafer on which said structure is being formed from the chamber between beginning said step of depositing said metal nitride and completion of said step of plasma annealing.

31. The method of claim 24, wherein said step of depositing said metal nitride is performed using chemical vapor deposition.

32. The method of claim 24, wherein said step of plasma annealing includes the steps of:

performing a first plasma annealing of said metal nitride; and

performing a second plasma annealing of said metal nitride after performing said first plasma annealing.

33. The method of claim 32, wherein said step of performing said first plasma annealing includes the

整理番号: P 9 8 A M - 0 4 4

(9/56)

steps of:

exposing said metal nitride to a first environment containing ions; and

electrically biasing said metal nitride to cause said ions from said first environment to impact said metal nitride.

34. The method of claim 33, wherein said step of performing said second plasma annealing includes the steps of:

exposing said metal nitride to a second environment containing ions; and

electrically biasing said metal nitride to cause said ions from said second environment to impact said layer of said metal nitride.

35. The method of claim 34, wherein said step of exposing said metal nitride to a first environment containing ions includes the steps of:

providing a first gas, and

providing energy to said first gas to generate a first plasma, and

wherein said step of exposing said metal nitride to a second environment containing ions includes the steps of:

providing a second gas, and



整理番号: P98AM-044

(10/56)

providing energy to said second gas to generate a second plasma.

36. The method of claim 35, wherein said first gas contains at least one gas selected from the group consisting of nitrogen, hydrogen, argon, helium, and ammonia.

37. The method of claim 35, wherein said second gas contains at least one gas selected from the group consisting of nitrogen, helium, neon, and argon.

38. The method of claim of claim 32, wherein said step of depositing said metal nitride is performed using chemical vapor deposition.

39. The method of claim 32, wherein said step of depositing said metal nitride and said step of plasma annealing are both performed in a chamber without removing a wafer on which said structure is being formed from the chamber between initiating said step of depositing said metal nitride and completing said step of plasma annealing.

40. The method of claim 21, wherein said channel has a width less than or equal to 3,000 Å.

整理番号: P98AM-044

(11/56)

41. The method of claim 21, wherein said channel has an aspect ratio that is greater than or equal to 3.33.

42. The method of claim 21, wherein said refractory metal is deposited in said step (a) by physical vapor deposition.

43. The method of claim 21, wherein said refractory metal is deposited in said step (a) by chemical vapor deposition.

44. The method of claim 43, wherein said refractory metal is a metal selected from the group consisting of titanium, tantalum, cobalt, and molybdenum.

45. The method of claim 21, further including the step following said step (b) of:

(c) depositing a layer of a metal on said layer of said metal nitride.

46. The method of claim 45, wherein said metal is tungsten.

整理番号: P 9 8 AM-0 4 4

(12/56).

47. The method of claim 46, further including the step following said step (c) of:

(d) etching said layer of said refractory metal, said layer of said metal nitride, and said layer of said metal to decompose portions of said layer of said refractory metal, said layer of said metal nitride, and said layer of said metal that reside outside of said channel.

48. A method for forming a barrier layer over a conductive surface surrounded by a channel having inner walls extending above said conductive surface, said method including the steps of:

(a) depositing a layer of a refractory metal on said conductive surface and said inner walls of said channel to a thickness in a range of about 25 to 100 Å;

(b) depositing a layer of a metal nitride on said layer of said refractory metal; and

(c) plasma annealing said layer of said metal nitride, wherein said layer of said metal nitride has a thickness extending from said layer of said refractory metal of less than 130 Å after completing said step (c).

49. The method of claim 48, wherein said step (c) includes the steps of:

整理番号: P 9 8 A M - 0 4 4

(13/56)

providing a gas;  
providing energy to said gas to generate an environment containing ions; and  
electrically biasing said metal nitride to cause said ions from said environment to impact said metal nitride.

50. The method of claim 49, wherein said metal nitride includes at least one material selected from the group consisting of titanium, tantalum, tungsten, hafnium, molybdenum, and zirconium.

51. The method of claim 48, wherein said step (c) includes the steps of:

performing a first plasma annealing of said metal nitride; and

performing a second plasma annealing of said metal nitride after performing said first plasma annealing.

52. The method of claim 48, wherein said channel has a width less than or equal to 3,000 Å.

53. The method of claim 52, wherein said channel has an aspect ratio that is greater than or equal to 3.33.

整理番号: P 9 8 AM-0 4 4

(14/56)

## 3. Detailed Description of Invention

BACKGROUND OF THE INVENTIONA. Field of the Invention

The present invention is directed toward the field of manufacturing integrated circuits.

B. Description of the Related Art

An integrated circuit is manufactured through a series of process steps in which circuit elements, such as transistors, are formed in a substrate and then coupled to other circuit elements. Circuit elements are coupled together through a metalization process. In order to provide for all the necessary coupling, multiple metalization steps may be employed to create several layers of electrical interconnections within a single integrated circuit.

The need for multiple metal layers in integrated circuits has arisen from the on going shrinking of dimensions in integrated circuits. The shrinking dimensions provide for the integration of more circuit elements in smaller surface areas. As a result of the increased number of circuit elements and decreased surface area, the interconnections must be distributed over multiple integrated circuit layers.

整理番号: P98AM-044

(15/56)

Fig. 1 illustrates a cross-sectional view of a portion of an integrated circuit 100 that includes multiple metal layers 107, 109. A transistor is shown having a source 102 and drain 103 formed in a substrate 105. The transistor's gate 104 has been deposited and patterned on a gate oxide 110, which separates the gate from the substrate 105. A layer of insulative material 106, such as silicon dioxide, is deposited over the upper surface of the gate 104, the substrate 105, and a field oxide 111. The insulative material 106 isolates regions of the gate 104 and substrate 105 from a first metal layer 107. Another layer of insulative material 108 isolates the first metal layer 107 from a second metal layer 109.

Interconnect structures provide for conductively coupling regions within the integrated circuit 100. For example, interconnect structures 101<sub>1</sub>-101<sub>1</sub> couple the source 102, gate 104, and drain 103, respectively, to the first metal layer 107, and interconnect structures 101<sub>2</sub> and 101<sub>2</sub> couple metal lines in the first metal layer 107 to the second metal layer 109. Each interconnect structure 101<sub>1</sub>-101<sub>1</sub> is formed in a channel that is etched through an insulative layer of material to expose an underlying conductive region, such as source 102, drain 103, gate 104, and metal layer 107.

In order for an interconnect structure in an

integrated circuit to operate effectively, it must provide a good ohmic contact between the underlying surface and overlying surface that it is coupling together. Otherwise, the current flow between circuit elements in the integrated circuit will be greatly restricted. As a result, the speed of the integrated circuit will be greatly reduced. In the worst case, the integrated circuit may be rendered inoperable. It is acceptable for an interconnect structure to have a resistance of approximately  $3\ \Omega$  or less for a contact hole or via hole with a  $0.3\ \mu\text{m}$  width. Interconnect structures that have resistance values in excess of  $3\ \Omega$  are generally not acceptable.

In forming an interconnect structure, a metal component may be stacked on top of a conductive barrier layer within a channel that is formed in an insulative layer of material. The channel is often referred to as a contact hole or via hole. The barrier layer is formed on the inner walls of the channel and an underlying surface that is surrounded by the channel. Traditionally, barrier layers have thicknesses in the range of  $400\text{-}500\ \text{\AA}$ .

The barrier layer inhibits the diffusion of the metal in the metal component and by-products generated during the deposition of the metal into the surface underlying the interconnect structure. If such

整理番号: P98AM-044

(17/56)

diffusion is not prevented, highly resistive pockets may be formed in the region underlying the interconnect structure. As a result of the diffusion, the integrated circuit being formed may be defective. Barrier layer thicknesses of 400-500 Å have traditionally been employed, because such thicknesses have proven effective for inhibiting the undesirable diffusion of an interconnect structure's metal into an underlying surface.

Once the barrier layer is formed, the metal material being used in the interconnect structure is deposited to cover the upper surface of the barrier layer. Ideally, the metal fills the channel in which the barrier layer resides. Next, the upper surface of the integrated circuit is isotropically etched to remove any metal and barrier layer material that was deposited on the upper surface of the integrated circuit.

Once a set of interconnect structures has been formed in a layer of insulative material, a layer of metal may be deposited on the upper surface of the insulative material. The metal is then patterned to form a set of metal lines in a metal layer. These metal lines provide for electrically coupling together sets of interconnect structures.

The reduction in the dimensions of integrated circuits has presented challenges to the construction



of interconnect structures with acceptable resistance values. When the gate lengths in an integrated circuit are reduced, the width of the channels serving as contact and via holes in the integrated circuit is also reduced. However, the height of the channels is typically not reduced. This causes the ratio of a channel's height to the channel's width to increase when the dimensions of the integrated circuit are reduced. This ratio is referred to as an aspect ratio.

As a result of such a change in channel shape, interconnect structures become narrower, while maintaining approximately the same height as in integrated circuits with larger dimensions. Traditionally, the thickness of barrier layers has remained at 400-500 Å, even in integrated circuits with reduced dimensions. On the other hand, the width of interconnect structure metal components has been reduced to account for increases in channel aspect ratios.

The narrowing of a metal component's width in response to increasing aspect ratios causes the resistance of the metal component to increase. Further, the difficulty of conformally depositing metal over a barrier layer is increased in smaller dimension integrated circuits by the combination of the smaller channel opening and thick barrier layer. This is

整理番号: P98AM-044

(19/56)

critical, since poorly conformed metal can further increase the resistance of the interconnect structure.

The constant desire to reduce the cost of manufacturing integrated circuits and increase the speed of integrated circuits is causing a demand for integrated circuits with gate lengths of  $.25\text{ }\mu\text{m}$  and less. In such integrated circuits, contact and via holes may have widths of approximately  $3,000\text{ }\text{\AA}$  or less. The implementation of traditional  $400\text{-}500\text{ }\text{\AA}$  barrier layers in such contact and via holes results in interconnect structure metal components with very narrow widths and poor conformality. In fact, the application of a  $500\text{ }\text{\AA}$  barrier layer in a  $1,000\text{ }\text{\AA}$  wide channel may result in no volume of the interconnect structure being available to house a metal component.

Interconnect structures that are formed using traditional  $400\text{-}500\text{ }\text{\AA}$  barrier layers in integrated circuits with gate lengths of  $.25\text{ }\mu\text{m}$  and less have been found to have resistance values in the range of  $4\text{-}5\text{ }\Omega$ . Such resistance values are unacceptable. They cause the speed enhancements provided by the reduced dimension technology to be negated and the reliability of the reduced dimension integrated circuits to be decreased.

Accordingly, it is desirable to provide for the construction of an interconnect structure with a thin

barrier layer that can be employed in contact and via holes with increased aspect ratios, so that the resistance of the interconnect structure is not unacceptably high.

#### SUMMARY OF THE INVENTION

An interconnect structure that is formed in accordance with the present invention has the ability to be employed in contact and via holes having increased aspect ratios, without having unacceptable resistance values. Such an interconnect structure is formed to extend from a conductive surface in an integrated circuit through a channel extending above the surface. The channel is typically formed in an insulative layer of material, such as silicon dioxide.

The interconnect structure includes a barrier layer and a metal component. The barrier layer covers the conductive surface and the inner walls of the channel. The metal component resides on top of the barrier layer to provide a conductive surface that may be coupled to a metal layer within the integrated circuit.

The barrier layer is formed by the combination of a layer of a refractory metal and a layer of a metal nitride. The layer of the refractory metal is deposited on the underlying conductive surface and the inner walls of the channel. The refractory metal makes

a highly conductive contact with the underlying conductive surface.

The layer of a metal nitride is then formed on the layer of the refractory metal. The layer of metal nitride has a thickness extending from the layer of the refractory metal of less than 130 Å. As a result, there is sufficient width remaining in the channel for forming the metal component, so that the interconnect structure has an acceptable resistance value. The metal nitride makes an adhesive conductive connection with the metal component to provide an interconnect structure with good electrical and structural integrity. The layer of the metal nitride may be formed by depositing metal nitride and then plasma annealing the metal nitride to reduce its resistivity.

Once the barrier layer is formed, a layer of metal is deposited on the barrier layer. The layer of metal forms the metal component of the interconnect structure. Tungsten may be employed as the metal.

Further details of the present invention are explained with the help of the attached drawings in which.

整理番号: P98AM-044

(22/56)

DETAILED DESCRIPTION

In accordance with the present invention, an interconnect structure may be formed to have a metal component that conforms to an underlying barrier layer. The metal component also has a sufficiently large width, so that the interconnect structure has an acceptable resistance value. Such an interconnect structure may be employed in an integrated circuit with gate lengths of .25  $\mu\text{m}$  and less without unacceptably decreasing the speed of the integrated circuit's operation or providing an unacceptable risk of harmful diffusion.

Figs. 2(a)-2(g) illustrate the formation of an interconnect structure in accordance with the present invention. Fig. 2(a) illustrates a cross-sectional view of a channel 200, such as a contact hole or via

hole, that is formed in an integrated circuit. The channel 200 is formed in a layer of insulative material 201, such as silicon dioxide or another type of oxide. The insulative material 201 extends upward from an upper surface of a conductive material 202 for a distance of H.

The conductive material 202 may be a gate, a source, a drain, a metal line, or another conductive element that is to be conductively coupled to another component within the integrated circuit. The conductive material may be composed of silicon, polysilicon, polyside, silicide, aluminum, copper, or another conductive material that is employed within integrated circuits.

The inner walls 203 of the channel 200 surround a contact surface 204 of the conductive material 202. The channel 200 has a width of W, which is measured across the diameter of channel 200. Accordingly, the aspect ratio of the channel is calculated by dividing the height H by the width W. For example, in an integrated circuit that is manufactured using gate lengths of  $.25\text{ }\mu\text{m}$  or less, the width W may be  $3,000\text{ }\text{\AA}$ , and the height H may be  $10,000\text{ }\text{\AA}$ . This results in an aspect ratio of 3.33 for the channel 200.

In order to form an interconnect structure within the channel 200, a barrier layer is formed over the upper surface of the insulative material 201 and the

整理番号: P 9 8 AM-0 4 4

(24/56)

exposed contact surface 204. The barrier layer may be formed by first depositing a layer of a first material that has good conductive properties when reacted with the exposed conductive material 202.

Next, a layer of a second material is formed over the first material. The second material provides for creating an adhesive conductive contact with the metal component of the interconnect structure. The second material also inhibits the diffusion of damaging material into the first material and underlying conductive material. When depositing metal to form the metal component, such damaging material is provided by the metal being deposited and by-products of the metal. The combination of the first material and the second material constitutes the barrier layer.

Fig. 2(b) illustrates the deposition of the layer of the first material 205 in the barrier layer. In accordance with the present invention, the first material 205 in the barrier layer is deposited over the surface of the insulative material 201, including the inner walls 203 of the channel 200, and the exposed contact surface 204 of the conductive material 202. In one embodiment, the deposited layer of the first material 205 has a thickness of less than 300 Å when measured from the top corners of the channel's inner walls 203. In a further embodiment, the first layer of

material has a thickness extending from the channel's inner walls 203 in the range of 25 Å to 100 Å, depending on the deposition process that is employed.

The first material 205 may be a refractory metal, such as titanium, cobalt, tantalum, and molybdenum. When the first material 205 is a refractory metal and the underlying conductive material 202 is silicon or polysilicon which is heated, a silicide of the refractory metal forms at the surface 204 of the conductive material 202. Refractory metals are desirable for use as the first material 205, because they provide highly conductive contacts with silicon based materials, which often make up the underlying conductive material 202. However, refractory metals may also be employed when the underlying conductive material 202 is not silicon based, such as when the conductive material 202 is an aluminum or copper metal line.

The first material 205 in the barrier layer may be deposited using a traditional deposition technique, such as chemical vapor deposition ("CVD") or physical vapor deposition ("PVD"). In a CVD process, a wafer is loaded into a chemical vapor deposition chamber. Reactive gases are then supplied to the wafer surface where heat-induced chemical reactions take place to form a thin film layer over the surface of the wafer



being processed.

In a PVD process, a wafer is placed in a physical vapor deposition chamber, and the chamber is filled with a gas, such as argon. A plasma containing positively charged ions is generated from the gas, by creating an electrical field in the chamber. The positively charged ions accelerate and collide into a target material, which is mounted in the chamber. Atoms of the target material are thereby dislodged from the target and deposited on the wafer to form a layer of target material on the surface of the wafer.

A separate rf signal may be inductively coupled to the chamber for generating positively charged ions in a high density plasma PVD chamber. A high density plasma PVD chamber may include yet another rf signal coupled to a wafer support for improving the attraction of the target material to the wafer.

Two commercially available PVD processes that may be employed to deposit a refractory metal 205 for a barrier layer in accordance with the present invention are the Coherent process and the Vectra IMP process, where IMP stands for Ionized Metallic Plasma. Both the Coherent process and Vectra IMP process are provided by Applied Materials, Inc. of Santa Clara, California along with PVD chambers for performing these processes.

A chamber for performing the Coherent process

includes a target that is DC biased, and a wafer support that is grounded. As described above, an argon gas is provided in the chamber and infused with voltage between the target and wafer support to form a plasma. In the Coherent deposition process, a DC energy is provided to the target with a power in the range of 8,000 to 20,000 watts. The temperature of the wafer is set to be in the range of 200 to 300 °C, and the pressure in the chamber is set to be in the range of 3 to 10 mTorr.

In order to guide the path of the target material that is dislodged from the target, the Coherent process chamber includes a collimator. The collimator is a metallic disc that is supported in the chamber between the target and the wafer support to be substantially parallel to the upper surface of the wafer support. Hollow columns extend through the disc and are substantially perpendicular to the upper surface of the wafer support. The hollow columns serve as guides for the target material that is being deposited.

As dislodged target material reaches the columnator, the target material that is following a trajectory which is substantially perpendicular to the wafer support passes through the hollow columns. The other target material is blocked. This inhibit the excessive build up of target material at the openings of contact

整理番号: P98AM-044

(28/56)

holes and via holes in the wafer's surface. By only allowing the perpendicularly directed target material to be passed to the wafer, a more even and conformal layer of target material is deposited.

A chamber for performing the Vectra IMP process includes a target that is DC biased, and a wafer support that is coupled to an rf signal generator. The chamber further includes a coil circling the inside of the chamber. The coil is coupled to another rf signal generator.

Argon gas is flowed into the chamber and is infused with energy to form a plasma. In the Vectra IMP deposition process, the rf energy is provided by the rf signal source that is coupled to the wafer support and the rf signal source that is coupled to the coil. The rf signal being provided to the wafer support has a frequency in the range of 300 to 450 KHz and a power in the range of 100 to 1,000 watts. The rf signal being provided to the coil has a frequency in the range of 1 to 5 MHz and a power in the range of 1,000 to 4,000 watts. The temperature of the wafer is set to be in the range of 100 to 300 °C, and the pressure in the chamber is set to be in the range of 10 to 40 mTorr. The wafer obtains a DC bias voltage in the range of 50 to 200 volts.

The rf signal being provided to the coil provides

整理番号: P98AM-044

(29/56)

an electric field in the chamber that ionizes the dislodged target material. The voltage potential between the ionized target material and the wafer causes the target material to be attracted to the wafer's surface. As a result, the target material tends to impact the surface of the wafer with a relatively perpendicular trajectory with respect to the wafer. This provides for a conformal layer of the first material 205 to be deposited.

Once the first material 205 is deposited, a layer of a second material in the barrier layer is formed to overlies the first material. The layer of the second material 206, as shown in Fig. 2(c), may be deposited using traditional physical vapor deposition or chemical vapor deposition. When chemical vapor deposition is employed, the formation of the layer of the second material 206 may also include treating the second material 206 to decrease its resistivity. Plasma annealing, as shown in Fig. 2(d), may be employed to achieve this reduction in resistivity.

The layer of the second material 206 is formed to have a thickness extending from the upper surface 207 of the first material 205 within the channel 200 of less than 130 Å. In a further embodiment, the thickness of the second material is in the range of 25 to 75 Å. The combined thickness of the first material

整理番号: P 9 8 A M - 0 4 4

(30/56)

205 and second material 206 extends from the channel's inner walls 203 for a distance of less than 400 Å. Preferably, the combined thickness of the first material 205 and second material 206 extends from the channel's inner walls 203 for a distance in the range of 75 to 175 Å.

As described above, the second material 206 is a conductive material that has an ability to form an adhesive conductive contact with a metal component of the interconnect structure. Accordingly, a metal nitride may be employed as the second material 206. Both binary metal nitrides  $M_xN_y$  and ternary metal silicon nitride  $M_zSi_xN_y$  (where M may be titanium, zirconium, hafnium, tantalum, molybdenum, tungsten and other metals; and x, y, and z represent different quantitative combinations of metal, silicon, and nitrogen that may be used) may be used as the metal nitride 206 in the barrier layer.

When tungsten is employed as the metal component in the interconnect structure, titanium nitride provides a good choice for the second material 206. Titanium nitride has excellent adhesion with tungsten, and serves as a good barrier to the diffusion of tungsten and by-products that are generated during the deposition of tungsten. When tungsten is deposited to form the metal component, the barrier layer is exposed

to tungsten hexafluoride ( $WF_6$ ). During the tungsten deposition, the fluorine is separated from the tungsten and attempts to diffuse into the barrier layer. The fluorine is highly corrosive and can result in the formation of highly resistive regions in the first material 205 of the barrier layer and the underlying conductive material 202.

Titanium nitride is well suited to inhibit the diffusion of fluorine, so that it does not reach either the first material 205 or the underlying conductive material. Traditionally, thick layers of titanium nitride in excess of 150 Å have been employed in interconnect structures to prevent diffusion. In accordance with the present invention, deposited and plasma annealed titanium nitride may be employed at thicknesses below 150 Å in the range of 25 to 75 Å.

The second material 206 may be deposited in a chamber that is capable of performing chemical vapor deposition. The chemical vapor deposition of a titanium nitride material may be achieved through the use of a metallo-organic titanium compound. One such compound is tetrakis (dialkylamido) titanium ( $Ti(NR_2)_4$ ), wherein R at each occurrence independently is in an alkyl group, of, for example, 1-5 carbon atoms. It is common to use tetrakis(dimethylamido) titanium (TDMAT), which has the formula  $Ti(N(CH_3)_2)_4$ . A carrier gas, such

整理番号: P98AM-044

(32/56)

as helium, argon, nitrogen, or hydrogen brings the compound into the CVD chamber, so that it may be infused with energy. The energy may be generated through a thermal heat source, in the case of thermal CVD, or a radio frequency ("rf") signal source, in the case of plasma enhanced CVD. The energized chemical vapor reacts with the wafer's surface to form a thin layer of material on the wafer.

When the TDMAT chemical vapor is used, a titanium nitride film is deposited on the wafer's surface. To facilitate the deposition of the titanium nitride as the second material 206, the wafer temperature is set to be in the range of 340-390°C, and the processing chamber pressure is set to be in the range of 0.5 to 2.0 Torr. A conventional CVD process for depositing titanium nitride that may be employed in embodiments of the present invention is disclosed in U.S. Patent no. 5,246,881 issued to Sandhu, et al.

However, a CVD deposited layer of the second material 206, such as titanium nitride, contains significant amounts of carbon. This causes the resulting layer of the second material 206 to be chemically reactive. Consequently, oxygen is absorbed into the film, when the film is exposed to air or other oxygen containing gases. Since the oxygen absorption is uncontrolled, the stability of the second material

206 is impaired and the resistivity of the second material 206 is adversely increased. This may result in the reliability of devices formed in the integrated circuit being poor.

After exposure to air, the sheet resistivity of a CVD deposited titanium nitride film can increase to values of about  $10,000\mu\Omega\text{-cm/sq}$  up to about  $100,000\mu\Omega\text{-cm/sq}$ . This is highly undesirable when the deposited titanium nitride is employed as the second material 206 in a barrier layer of an interconnect structure. A resistivity on the order of about  $600\mu\Omega\text{-cm}$  or less is desirable.

As shown in Fig. 2(d), the CVD deposited second material 206 may be plasma annealed to reduce its resistivity. Either a single plasma annealing or sequential plasma annealing may be employed to reduce the resistivity of the film 206. A U.S. Patent Application entitled *Construction of a Film on a Semiconductor Wafer*, by Chern et al., filed on February 28, 1997 (with attorney docket no. 761/P6 US/CVD/KPU6/RKK) discloses both single and sequential plasma annealing processes that may be employed to reduce the resistivity of the second material 206.

In accordance with the present invention, a CVD deposited second material 206, such as titanium nitride, may be plasma annealed with an inert plasma



containing high energy ions. An induced bias voltage to the wafer during rf plasma annealing provides for the ion bombardment of the wafer. When titanium nitride films that are plasma annealed in accordance with the present invention are exposed to air, oxygen, or water vapor, the oxygen is either not absorbed or absorbed to a much lesser extent than if no bias voltage had been applied to the wafer.

Titanium nitride films deposited and annealed in accordance with the present invention are also more crystalline, contain more nitrogen, and have a reduced oxygen and carbon content compared to titanium nitride films that are produced by the conventional thermal CVD of metallo-organic titanium compounds. The deposited titanium nitride films that are annealed according with the present invention also have a low and stable sheet resistivity.

The exact physical mechanism of the present invention is not known. However, it is believed that the high energy ion bombardment of the deposited material on a biased substrate densifies the film. This results in the resistance of the film being reduced and the film's ability to perform as a barrier to diffusion being increased. The reduced resistance of the second material 206 assists in providing for the formation of an interconnect structure with an

acceptable resistance value. The enhanced barrier properties of the second material 206 enable the layer of the second material 206 to be thinner, thereby providing for a thin barrier layer in accordance with the present invention.

In one embodiment of the present invention, the gas used to form the plasma for the annealing of the CVD deposited second material 206 may be any gas, but is preferably a non-oxygen-and-carbon containing gas such as nitrogen, ammonia, or argon. Nitrogen is effective for passivation of a titanium nitride material. Alternatively, the deposited material can be bombarded with ions generated from a nongaseous species, such as ion sources. The plasma treatment of the deposited second material 206 does not adversely affect particle performance, step coverage, deposition rate or barrier performance of the deposited second material 206.

The above described deposition and plasma annealing of the second material 206 may be performed in any chamber or set of chambers that provides for both chemical vapor deposition and plasma annealing. However, it is beneficial if both the deposition and the plasma annealing of the second material 206 are performed in the same chamber. This eliminates the exposure of the second material 206 to contaminants, such as oxygen, during a transfer from a deposition

chamber to an annealing chamber. Such exposure may cause defects, like the resistivity of the second material 206 being increased to unacceptable levels.

Accordingly, the CVD chamber described in U.S. Patent Application Serial No. 08/680,724, entitled *Components Peripheral to the Pedestal in the Gas Flow Path within a Chemical Vapor Deposition Chamber*, by Zhao, et al., filed on July 12, 1996,

may be employed. The chamber 130 described in this application is schematically depicted in Fig. 3. The chamber 130 includes a showerhead 134 for flowing gases into a processing chamber 135 and a wafer support 132 for supporting a wafer that is being processed. The wafer support 132 is heated by a resistive coil (not shown) to set the temperature of the wafer for thermally energized reactions, such as the reactions that take place during deposition.

The wafer support 132 is grounded, and the showerhead 134 is coupled to a radio frequency ("rf") signal source 136 through a matching network 252. During plasma annealing, gas is flowed into the chamber and infused with energy from a rf signal provided by the rf signal source 136 to the showerhead 134. As a result, the gas is transformed into a plasma 254, which provides ions that bombard the wafer being supported by the wafer support 132.

A chamber provided by Applied Materials, Inc. of Santa Clara, California under the trade name TxZ Chamber may be employed to perform both the deposition and plasma annealing of the second material 206.

Alternative chambers that may be employed to perform plasma annealing in accordance with the present invention are disclosed in a U.S. Patent Application entitled *Construction of a Film on a Semiconductor Wafer*, by Chern, et al., filed on February 28, 1997 (with attorney docket number 761/P6 US/CVD/KPU6/RKK). When more than one chamber is employed to perform the CVD deposition and plasma annealing, a vacuum is preferably maintained during the transfer of the wafer from a CVD chamber to an annealing chamber.

The following procedure may be followed for performing a single plasma annealing of CVD deposited titanium nitride using nitrogen in the chamber 130 shown in Fig. 3. Although the plasma annealing process will be described with reference to the chamber 130 shown in Fig. 3, one with ordinary skill in the art will recognize that the plasma annealing may be carried out in a number of different chambers, as described above.

The wafer in which the interconnect structure is being formed is placed on the wafer support 132 and spaced about 0.3 to 0.8 inches, preferably 0.6 to 0.7

整理番号: P98AM-044

(38/56)

inches, from the showerhead 134. Energetic ions are obtained by applying rf energy to a nitrogen gas that is introduced into the processing chamber 135 through the showerhead 134. The rf energy is supplied from the rf signal source 136 that is coupled to the showerhead 134. An rf signal at about 350 KHz having a power of 700 to 1,000 watts is supplied.

With the rf powered showerhead 134 and the wafer support 132 and processing chamber 135 walls grounded, a DC self-bias voltage between -100 to -200 volts is induced on the wafer. Preferably, the DC self-bias voltage is in the range of -100 to -200 volts, between the wafer and ground. This is sufficient to attract ions to impact second material 206 on the wafer surface at high energy. During the plasma annealing, the pressure in the processing chamber 135 is set to be in the range of 0.5 to 2.0 Torr. As a result of the annealing, the deposited titanium nitride is passivated and densified so that it remains stable over time. The plasma annealing is performed for a time in the range of 20 to 40 seconds.

In an alternative embodiment of the present invention, a mixture of nitrogen and hydrogen may be substituted for the nitrogen during the plasma annealing of the second material 206 in the barrier layer. When employing the chamber 130 shown in Fig. 3,

the wafer may be placed on the wafer support 132 and spaced about 0.3 to 0.8 inches, preferably 0.6 to 0.7 inches, from the showerhead 134.

A gas comprised of a 3:1 mixture of nitrogen and hydrogen is introduced into the processing chamber 135 via the showerhead 134. The mixture of nitrogen and hydrogen is introduced with a nitrogen flow rate of about 300 sccm. The rf source 136 then supplies 750 watts of rf power at 350 KHz through the matching network 252 to produce an rf signal to the showerhead 134.

Although the above-described gas mixture has a nitrogen to hydrogen ratio of 3:1, any ratio between 3:1 and 1:2 may be used. Generally, a higher portion of hydrogen in the mixture results in a film with greater long-term stability. However, too much hydrogen in the plasma may result in bonding between hydrogen and carbon in the film to form polymers, which increases the film's resistivity.

A plasma containing positively-charged nitrogen and hydrogen ions forms under the influence of the rf power supplied to the showerhead 134. The plasma is typically maintained for 10-35 seconds. As described above, the processing chamber walls and the wafer support 132 are grounded. The showerhead 134 acquires a negative bias between -150 to -450 volts, typically

整理番号: P98AM-044

(40/56)

-400 volts. The wafer self-biases to acquire a negative bias of between -100 to -200 volts, typically -150 volts. This negative bias voltage remains approximately constant during a bombardment period.

During the bombardment period, positively charged ions from the plasma are accelerated by the voltage gradient into the surface of the wafer. This causes the ions to bombard the wafer surface, penetrating to a depth of 50 to 100 Å. Energetic neutral atomic particles from the plasma also may bombard the wafer.

As a result of the ion bombardment, compression of the deposited material occurs and the thickness may be reduced by 20 to 50%. The reduction depends upon the temperature of the wafer and the plasma treatment time and energy. Further layers of titanium nitride may be successively deposited and annealed as desired.

After the annealing is completed, the resulting annealed titanium nitride film exhibits many improved properties. Oxygen content is reduced from 20 to 25%, causing oxygen to comprise less than 1% of the deposited and annealed material. The density of the film increases from less than 3.1 grams per cubic centimeter ( $\text{g/cm}^3$ ) to about 3.9  $\text{g/cm}^3$ . The fraction of carbon incorporated into the deposited film is reduced by 25% or more, so that the carbon comprises 3% of the deposited film.

整理番号: P98AM-044

(41/56)

Changes in the structure of the film occur, and the film's resistivity drops from pre-treatment levels of approximately 10,000  $\mu\Omega\text{-cm}$  to as low as 150  $\mu\Omega\text{-cm}$ . When the annealed film is exposed to oxygen, air, or water vapor, oxygen is absorbed to a much lesser extent than if the deposited film were not annealed. The plasma annealing causes replacement of carbon and nitrogen in the as-deposited film with nitrogen from the plasma.

When a mixture of nitrogen and hydrogen is employed to form the plasma the following resistivities result when the second material 206 has a thickness in the following ranges: 50 Å or thinner results in a resistivity in the range of 180-210  $\mu\Omega\text{-cm}$ ; 70 to 80 Å results in a resistivity in the range of 320 to 370  $\mu\Omega\text{-cm}$ ; and 90 to 110 Å results in a resistivity in the range of 430 to 550  $\mu\Omega\text{-cm}$ .

In yet another embodiment of the present invention, the nitrogen and hydrogen gas mixture used to form an annealing plasma may also include other gases such as argon, helium, and ammonia. The inclusion of additional noble gases also improves the ion bombardment treatments. Since argon atoms are heavier than helium atoms, the argon atoms may provide superior bombardment capabilities.

In order to further reduce the resistivity of the



整理番号: P 9 8 A M - 0 4 4

(42/56)

deposited second material 206, the plasma annealing process may be altered in accordance with the present invention to include two sequential plasma annealing steps. The first annealing step is performed with a plasma that is generated from a gaseous mixture including nitrogen and hydrogen, as described above. The second plasma annealing step is performed to remove hydrogen from the annealed material, since hydrogen's affinity for oxygen results in increased resistivity.

The ions formed in the second plasma bombard the deposited and annealed material, thereby causing hydrogen in the surface of the material to be ejected from the film as a waste by-product. The reduction in hydrogen reduces the material's affinity for oxygen, which enables the film to have a lower resistivity and exhibit improved stability.

The gas used for forming the plasma in the second sequential annealing step may be comprised of nitrogen or a mixture of nitrogen and either helium, argon, or neon. Helium is preferred, since it enhances the ionization of nitrogen molecules and reduces the recombination probability of  $N^+$ ,  $N_2^+$ ,  $N_3^+$ , and  $N_4^+$  ions. The mixture of nitrogen and helium is preferred over the use of nitrogen alone, since the helium based plasma's ions are able to enhance ionization efficiency, thereby promoting ion reactivity and

achieving greater penetration depths. The greater penetration depths provide for the displacement of a greater amount of hydrogen, so that the reduction of the deposited material's resistivity may be maximized. Further, helium's small mass enables it to fill vacancies that are left in the deposited material by exiting hydrogen atoms which are too small to be filled by the nitrogen ions.

In accordance with the present invention, a wafer is placed in a chamber, such as chamber 130 in Fig. 3, and a layer of the second material 206 is CVD deposited on the first material 205, as described above. The deposited second material 206 may be titanium nitride.

The layer of the second material 206 then undergoes a first plasma annealing process in the same chamber 130. While residing on the wafer support 132, the wafer 114 may be about 0.3 to 0.8 inches from the showerhead 134. Preferably, the wafer is between 0.6 and 0.7 inches from the showerhead 134.

Ion bombardment is achieved by first transferring a gas into the processing chamber 135 via the showerhead 134. In one embodiment of the present invention, the gas is a mixture of nitrogen and hydrogen having a 2:3 nitrogen to hydrogen ratio and being introduced into the processing chamber 135 with a nitrogen flow rate of approximately 600 sccm. The

整理番号: P98AM-044

(44/56)

pressure in the processing chamber 135 is set to approximately 1.0 Torr., and the wafer temperature is set to be between 350-450 °C. In an alternative embodiment of the present invention, the gas may be comprised of a mixture having a nitrogen to hydrogen ratio between 3:1 and 1:2.

Next in the first annealing process, the rf source 136 supplies a rf signal to the showerhead 134. This causes the gas to form a plasma containing positively charged ions. The rf source 136 may supply 750 watts of rf power at 350 KHz. Typically, the plasma is maintained for a period of time between 20 and 40 seconds. The rf source 136 may alternatively supply 750 watts of rf power at a frequency below 1 MHz.

The repeated cycling of voltage from the rf source 134 results in a surplus of electrons in the vicinity of the wafer that produces a negative bias at the wafer. The showerhead 134 may acquire a negative bias between -200 to -450 volts, typically -400 volts. The processing chamber 135 and wafer support 132 are grounded, and the negative bias of the wafer is between -100 to -250 volts, typically -200 volts, which remains approximately constant during the period of ion bombardment.

During the ion bombardment, the positively charged ions from the plasma are accelerated by the voltage

整理番号: P98AM-044

(45/56)

gradient into the surface of the wafer 114 and penetrate the surface of the wafer to a depth between 50 to 100 Å. Energetic neutral atomic particles from the plasma may also bombard the wafer. Once the first annealing is completed, the processing chamber 135 is purged.

Next, the second annealing process is initiated in the same chamber 130. In one embodiment of the present invention, the plasma generating gas is only nitrogen. The gas is introduced into the processing chamber with a nitrogen flow rate of approximately 500-1,000 sccm. The pressure in the processing chamber 135 is set to approximately 1.0 Torr., and the wafer temperature is set to be between 350-450 °C.

In an alternative embodiment of the present invention, the gas may be a mixture of nitrogen and helium with a nitrogen to helium ratio between 0.2 and 1.0. Gases containing other combinations of nitrogen and either argon, neon, helium or combinations thereof may also be used.

Next in the second annealing process, the rf source 136 supplies a rf signal to the showerhead 134. This causes the gas to form a plasma containing positively charged ions. The rf source 136 may supply 300-1,500 watts of rf power at 300-400 KHz, through the matching network 252, to produce an rf signal to the showerhead

整理番号: P98AM-044

(46/56)

134. Typically, the plasma is maintained for a time period in the range of 20 to 40 seconds. The rf source 136 may alternatively supply 300-1,500 watts of rf power at a different frequency below 13.56 MHz. The power of the source 136 is scalable based on the need for processing different size wafers.

As in the case of the first annealing, the repeated cycling of voltage from the rf source 136 results in a surplus of electrons in the vicinity of the wafer that produces a negative bias at the wafer. The showerhead 134 may acquire a negative bias between -200 to -450 volts, typically -400 volts. The processing chamber and wafer support 132 are grounded, and the negative bias of the wafer is between -100 to -250 volts, typically -200 volts, which remains approximately constant during a period of ion bombardment.

During the second ion bombardment, the positively charged ions from the plasma are accelerated by the voltage gradient into the surface of the wafer. The ions penetrate the surface of the second material 206 to displace the hydrogen molecules in the deposited and annealed second material 206. Energetic neutral atomic particles from the plasma may also bombard the wafer. Once the second annealing is completed, the processing chamber is purged.

When a nitrogen gas is employed in the second plasma

整理番号: P98AM-044

(47/56)

annealing, the ions penetrate to a depth between 35 to 50 Å. When the gas is a mixture of nitrogen and helium, the ions penetrate to a depth between 50 to 100 Å. Accordingly, the annealing with the mixture of nitrogen and helium provides for the displacement of more hydrogen molecules than the annealing that only employs nitrogen.

When the sequential annealing process is performed in the chamber 130 shown in Fig. 3, the deposition, first annealing, and second annealing may all be performed in the same chamber. Accordingly, the deposition and sequential annealing may be performed *in-situ*. However, the process steps of deposition and sequential annealing are not required to be performed *in-situ*, and alternative chambers may be employed.

In order to reduce the treatment time of the above described single and sequential plasma annealing processes, the frequency and power of the signal provided by the rf source 136 may be increased. Decreasing the treatment time of the plasma annealing provides for the processing of an increased number of wafers per hour. This results in a reduced manufacturing cost for each wafer.

For example, employing the above described single annealing with a plasma containing nitrogen and hydrogen results in a wafer throughput of approximately

22.5 wafers per hour per chamber. In order to increase this throughput, the frequency of the signal provided by the rf signal source 136 may be increased to be in the range of 500 KHz to 2 MHz, with a power of 750 watts still being provided. Alternatively, the frequency of the rf signal may be maintained in the range of 300 to 450 KHz, while the power is increased to be in the range of 750 to 1,200 watts. By employing such frequency and power adjustments, it is believed that the plasma annealing time may be reduced enough to provide a wafer throughput of 25 wafers per hour per chamber.

Fig. 2(e) illustrates the deposition of a conductive material 208 to serve as the metal component of the interconnect structure. A number of different metals, such as tungsten, may be employed as the conductive material 208. The conductive material 208 is deposited over the upper surface 209 of the second material 206 in the barrier layer. A number of traditional deposition techniques, such as PVD or CVD, may be employed for depositing the conductive material 208 in the interconnect structure.

Ideally, the conductive material 208 fills the remaining region in the channel 200 that is encircled by the second material 206. However, acceptable slight imperfections (not shown) may occur, so that the region

encircled by the second material 206 is not completely filled. These imperfections may include small spikes that extend down from the upper surface of the conductive material 208 to only shallow depths below the channel's upper opening.

Fig. 2(f) illustrates the next step in forming the interconnect structure 300. As shown in Fig. 2(f), an isotropic etch is performed to remove the barrier layer and conductive material 208 from the surface of the insulative layer 201 that does not form the channel's inner walls 203. The first material 205, second material 206, and metal 208 remaining in the channel 200 combine to form the interconnect structure 300. The combination of the first material 205 and the second material 206 forms the barrier layer 301.

Fig. 2(g) illustrates the formation of a metal layer 211 over the insulative layer of material 201 that houses the interconnect structure. As shown in Fig. 2(g), a conductive layer of material, such as polysilicon, aluminum, copper, or another metal, is deposited and patterned to form metal layer 211. The deposition may be achieved through PVD, CVD, or other traditional means, and the patterning may be achieved through traditional photolithography techniques. As shown in Fig. 2(g), the interconnect structure 300 is conductively coupled to a metal line 212 in metal layer



211.

The resulting interconnect structure 300 in both Fig. 2(f) and Fig. 2(g) includes a barrier layer 301, which is composed of the first material 205 and the second material 206, and a conductive material forming the metal component 208. The first material 205 provides a highly conductive connection to contact surface 204. The second material 206 is conductively coupled to the first material 205 and provides an adhesive conductive connection to the metal component 208. The metal component 208, provides a conductive lead for coupling to a metal line to provide for coupling contact surface 204 to an element in an integrated circuit.

As a result of the reduced thickness of the barrier layer 301, the width of the metal component 208 employed in the interconnect structure 300 is increased over traditional metal components in .25  $\mu\text{m}$  and sub .25  $\mu\text{m}$  integrated circuits. The resistance of the interconnect structure 300 is thereby reduced in comparison to the resistance of a traditional interconnect structure having a barrier layer thickness of 400-500 Å. For example, when the width W of the channel 200 is 1,000 Å and the barrier layer 301 is between 75 and 175 Å, the metal component 208 has a width ranging from 650-850 Å. This is considerably

整理番号: P98AM-044

(51/56)

wider than the 0-200 Å width of a traditional metal component in a 1,000 Å wide channel.

Table A below shows the resistance values for different interconnect structures formed in accordance with the present invention. In Table A, each row corresponds to a recipe for forming an interconnect structure in accordance with the present invention. Each interconnect structure was formed in a channel having a width in the range of 0.40 to 0.25 μm and an aspect ratio in the range of 3.5 to 4.5.

TABLE A

	First Material	Second Material	Resistance
1	Coherent Ti - 100 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 50 Å	1.92 Ω
2	Coherent Ti - 100 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 35 Å	1.80 Ω
3	Coherent Ti - 100 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 75 Å	2.31 Ω
4	Vectra IMP Ti - 50 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 25 Å	1.60 Ω
5	Vectra IMP Ti - 50 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 35 Å	1.70 Ω
6	Vectra IMP Ti - 50 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 50 Å	2.25 Ω
7	Vectra IMP Ti - 25 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 50 Å	2.22 Ω
8	Vectra IMP Ti - 35 Å	CVD & N <sub>2</sub> /H <sub>2</sub> Plasma TiN - 50 Å	2.10 Ω

The First Material column indicates the process that was used to deposit the layer of the first material 205 in the barrier layer 301 of each interconnect structure. This column also indicates the material used for the first material 205 and the thickness of the first material 205.

Similarly, the Second Material column indicates the deposition and plasma annealing processes employed in the formation of the layer of the second material 206 in the barrier layer 301. This column also indicates

整理番号: P98AM-044

(53/56)

the material employed for the second material 206 and the thickness of the second material 206. The Resistance column indicates the resistance value for an interconnect structure formed in accordance with each recipe.

For example, the interconnect structure formed in accordance with the recipe set forth in row 1 employs titanium for the first material 205 and titanium nitride for the second material 206. The layer of titanium is PVD deposited to have a thickness of 100 Å using the chamber that performs the Coherent process. The layer of titanium nitride is formed by CVD depositing titanium nitride and then single plasma annealing the titanium nitride in a plasma composed of a mixture of nitrogen and hydrogen. After deposition and plasma annealing, the thickness of the titanium nitride is 50 Å.

The resistance of the interconnect structured that is formed according the recipe in row 1 is equal to 1.92 Ω, which is well below the maximum allowable value of 3.0 Ω. In fact, all of the recipes shown in rows 1-8 provide for the formation of interconnect structures with resistance values of less than 3.0 Ω. This is a result of the thin barrier layers that are formed by the first material 205 and the second material 206.

All of the barrier layers provided for by the

整理番号: P98AM-044

(54/56)

recipes shown in rows 1-8 fall within the range of 75 to 175 Å. When barrier layers having these thicknesses are employed instead of barrier layers with traditional thicknesses of 400-500 Å, wider lower resistance metal components can be formed. As a result, interconnect structures in accordance with the present invention have lower resistance values than traditionally formed interconnect structures.

In general, interconnect structures formed in accordance with the present invention have been found to have acceptable resistance values in integrated circuits with gate lengths in the range of .25  $\mu\text{m}$  and less. In particular, in integrated circuits with gate lengths between .25  $\mu\text{m}$  and .18  $\mu\text{m}$ , acceptable interconnect structures have been formed in accordance with the present invention by employing the following first materials 205: Coherent deposited titanium having thicknesses in the range of 50 to 100 Å; Vectra IMP deposited titanium having thicknesses in the range of 40-60 Å; or CVD deposited titanium having thicknesses in the range of 40 to 60 Å. Deposited and plasma annealed titanium nitride having thicknesses in the range of 25 to 100 Å has served as an acceptable second material 206 in barrier layers for integrated circuits employing .25  $\mu\text{m}$  and .18  $\mu\text{m}$  gate lengths. The above listed first material and second material dimensions

have been found to be particularly effective when employed to conductively couple salicide surfaces and metal lines.

Even though the present invention has been described with respect to its utility in integrated circuits that are constructed using .25  $\mu\text{m}$  and sub .25  $\mu\text{m}$  technology, the present invention is not limited to implementations in such integrated circuits. Interconnect structures in accordance with the present invention may also be formed in integrated circuits built in larger technologies to reduce contact and via resistance. Further, the reduced thickness of a barrier layer formed in accordance with the present invention results in less material being deposited during the barrier layer's formation. The reduced volume of deposition for each barrier layer allows more barrier layers to be formed in a single chamber in between chamber cleanings. This reduces the cost of maintaining the chamber, thereby reducing the cost of processing wafers in the chamber.

Although the present invention has been described in terms of specific exemplary embodiments, it will be appreciated that various modifications and alterations might be made by those skilled in the art without departing from the spirit and scope of the invention as specified in the following claims.

整理番号: P98AM-044

(56/56)

#### 4. Brief Description of Drawings

Fig. 1 illustrates a cross-sectional view of a portion of an integrated circuit which includes multiple metal layers.

Figs. 2(a)-2(g) are partial cross-sectional views of a portion of an integrated circuit which illustrate the formation of an interconnect structure in accordance with the present invention.

Fig. 3 illustrates a chamber that may be employed to form the layer of metal nitride in the barrier layer of the interconnect structure, as shown in Figs. 2(c) and 2(d).

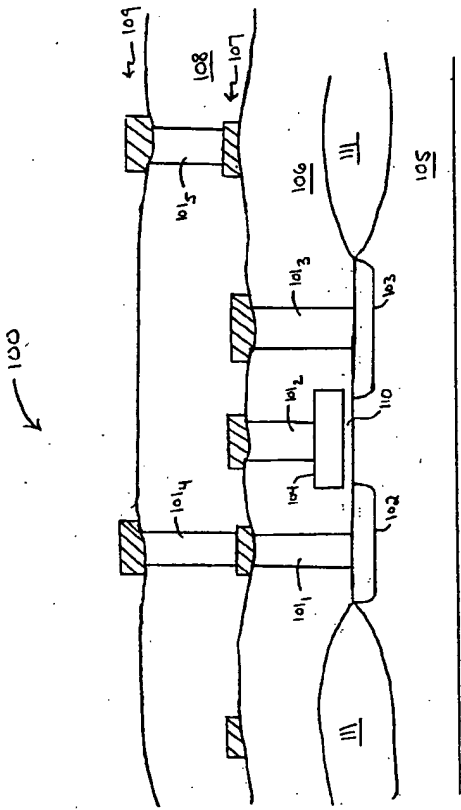


FIG. 1



P98AM-044

(2)

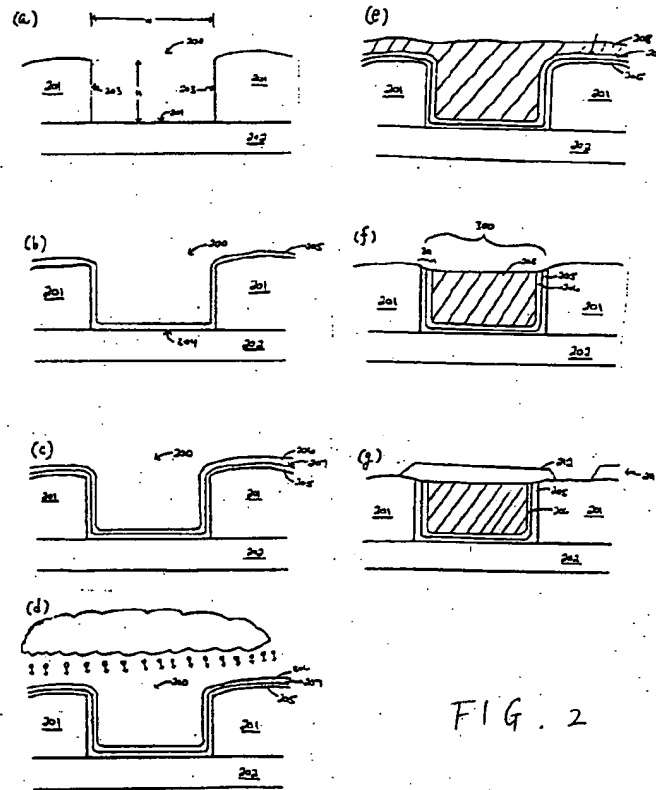


FIG. 2

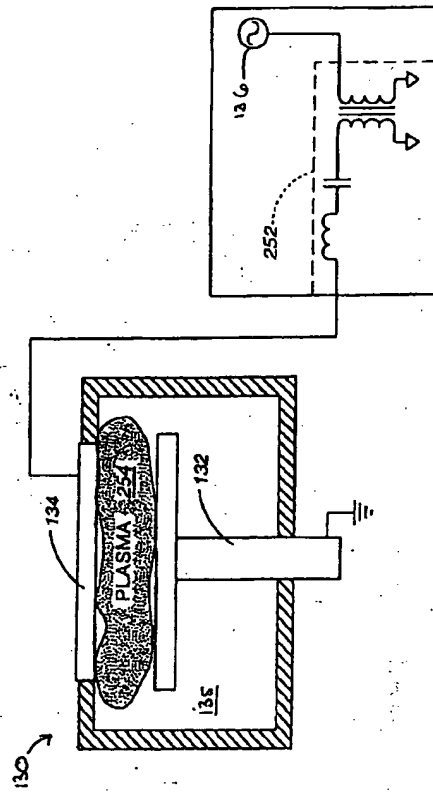


FIG. 3